

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G01D 5/12 (2006.01)

H03K 19/173 (2006.01)



# [12] 实用新型专利说明书

专利号 ZL 200820013285.2

[45] 授权公告日 2009年5月27日

[11] 授权公告号 CN 201247066Y

[22] 申请日 2008.6.4

[21] 申请号 200820013285.2

[73] 专利权人 中国科学院沈阳自动化研究所  
地址 110016 辽宁省沈阳市东陵区南塔街114号

[72] 发明人 王恩德 佟新鑫 王庆山 朱丹

[74] 专利代理机构 沈阳科苑专利商标代理有限公司  
代理人 周秀梅

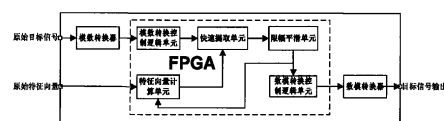
权利要求书 1 页 说明书 3 页 附图 1 页

## [54] 实用新型名称

一种微弱信号的快速提取装置

## [57] 摘要

本实用新型涉及一种微弱信号的快速提取装置，该装置具有：模数转换器，对混和强噪声的原始目标信号进行采样；主控逻辑器件，接收模数转换器的采样信号，利用从大目标信号中提取的原始特征向量或经过循环更新的特征向量对采样信号进行快速提取计算得到离散化的目标信号；数模转换器，将主控逻辑器件输出的最后提取的离散化的目标信号转换成模拟信号输出。本实用新型提取快速，实时性强，可将淹没在噪声中的目标信号快速提取出来，达到检测目标信号的目的，利用大规模逻辑电路实现快速算法，在资源少、速度快、功耗低，适合在实时性要求高的场合使用。



1.一种微弱信号的快速提取装置，其特征在于具有：  
模数转换器，对混和强噪声的原始目标信号进行采样；  
主控逻辑器件，接收模数转换器的采样信号，输出离散化的目标信号；  
数模转换器，将主控逻辑器件输出的最后提取的离散化的目标信号转换成模拟信号输出。

2.按权利要求1所述的微弱信号的快速提取装置，其特征在于：所述主控逻辑器件内部具有以下单元：

模数转换控制逻辑单元，接收模数转换器的采样信号；

快速提取单元，将模数转换控制逻辑单元及特征向量计算单元输入的信号进行目标信号快速提取，去除强噪声，得到离散化的目标信号通过数模转换控制逻辑单元输出至数模转换器；

特征向量计算单元，接收从大目标信号中提取的原始特征向量及由限幅平滑单元输出的离散化的目标信号进行处理，输出新的特征向量；

数模转换控制逻辑单元，将快速提取单元输出的离散化目标信号转换成模拟信号输出至数模转换器。

3.按权利要求2所述的微弱信号的快速提取装置，其特征在于：所述主控逻辑器件内部还具有限幅平滑单元，对快速提取单元输出的具有振荡的目标信号进行限幅及平滑处理，得到平滑的离散化的目标信号，通过数模转换控制逻辑单元输出至数模转换器。

4.按权利要求2所述的微弱信号的快速提取装置，其特征在于：所述快速提取单元具有基本计算模块、循环控制模块、累加模块及计数模块，其中基本计算模块接收模数转换器的采样信号及特征向量计算单元输入的特征向量进行逐点乘加计算；循环控制模块接收计数模块的数值对基本计算模块进行循环控制；累加模块接收基本计算模块的计算结果进行累加并输出；计数模块接收基本计算模块的计算次数进行累加。

5.按权利要求1所述的微弱信号的快速提取装置，其特征在于：所述主控逻辑器件为FPGA或DSP。

## 一种微弱信号的快速提取装置

### 技术领域

本实用新型涉及微弱信号检测技术，具体地说是一种微弱信号的快速提取装置，可被应用为信号检测、目标识别等领域。

### 背景技术

在工程应用中经常会出现噪声或干扰的能量比较强，有时候可以和目标信号相比拟甚至将目标信号全部淹没，这时候如果按照传统的检测方法进行提取很容易造成信息丢失或出错，甚至不可能将目标信号提取出来。在很多应用中，要求实时的监测目标信号的位置，如果通过非常复杂的算法提取出了目标信号，但是系统的延迟是不可接受的，同样达不到实时目标信号检测的目的，针对以上情况，一种微弱信号的快速提取装置就有了重要意义，而目前尚未出现针对这种微弱信号的快速提取装置。

### 实用新型内容

针对现有技术中存在的不足之处，本实用新型要解决的技术问题是提供一种可将淹没在噪声中的目标信号提取出来的微弱信号的快速提取装置。

为解决上述技术问题，本实用新型采用的技术方案是：

本实用新型一种微弱信号的快速提取装置具有：

模数转换器，对混和强噪声的原始目标信号进行采样；

主控逻辑器件，接收模数转换器的采样信号，利用从大目标信号中提取的原始特征向量或经过循环更新的特征向量对采样信号进行快速提取计算得到离散化的目标信号；

数模转换器，将主控逻辑器件输出的最后提取的离散化的目标信号转换成模拟信号输出。

所述主控逻辑器件内部具有以下单元：

模数转换控制逻辑单元，接收模数转换器的采样信号；

快速提取单元，将模数转换控制逻辑单元及特征向量计算单元输入的信号进行目标信号快速提取，去除强噪声，得到离散化的目标信号通过数模转换控制逻辑单元输出至数模转换器；

特征向量计算单元，对从大目标信号中提取的原始特征向量及由限幅平滑单元输出的离散化的目标信号进行处理，得到新的特征向量；

数模转换控制逻辑单元，将快速提取单元输出的离散化目标信号转换成模拟信号输出至数模转换器。

所述主控逻辑器件内部还具有限幅平滑单元，对快速提取单元输出的

具有振荡的目标信号进行限幅及平滑处理，得到平滑的离散化的目标信号，通过数模转换控制逻辑单元输出至数模转换器。

所述快速提取单元具有基本计算模块、循环控制模块、累加模块及计数模块，其中基本计算模块对模数转换器的采样信号及特征向量计算单元输入的特征向量进行逐点乘加计算；循环控制模块根据计数模块的数值对基本计算模块进行循环控制；累加模块对基本计算模块的计算结果进行累加并输出；计数模块对基本计算模块的计算次数进行累加。

所述主控逻辑器件为 FPGA 或 DSP。

本实用新型具有以下有益效果及优点：

1. 提取快速。本实用新型利用主控逻辑器件对混有强噪声的微弱目标信号进行提取，通过主控逻辑器件内部的基本计算模块进行逐点乘加计算，可将淹没在噪声中的目标信号快速提取出来，达到检测目标信号的目的；
2. 实时性强。本实用新型利用大规模逻辑电路实现快速算法，在资源少、速度快、功耗低，适合在实时性要求高的场合使用。

#### 附图说明

图 1 为本实用新型结构示意图；

图 2 为本实用新型中快速提取单元的结构示意图；

图 3 为本实用新型工作过程流程图。

#### 具体实施方式

如图 1、2 所示，本实用新型包括以下部分：模数转换器，对混和强噪声的原始信号进行采样；主控逻辑器件，接收模数转换器的采样信号，利用从大目标信号中提取的原始特征向量或经过循环更新的特征向量对采样信号进行快速提取计算得到离散化的目标信号；数模转换器，将主控逻辑器件输出的最后提取的离散化的目标信号转换成模拟信号输出。

所述主控逻辑器件内部具有以下单元：模数转换控制逻辑单元，接收模数转换器的采样信号；快速提取单元，将模数转换控制逻辑单元及特征向量计算单元输入的信号进行目标信号快速提取，去除强噪声，得到离散化的目标信号通过数模转换器输出最终目标信号；特征向量计算单元，对从大目标信号中提取的原始特征向量及由限幅平滑单元输出的离散化的目标信号进行处理，得到新的特征向量。所述主控逻辑器件内部还具有限幅平滑单元，对快速提取单元输出的具有振荡的目标信号进行限幅及平滑处理，得到平滑的离散化的目标信号，通过数模转换器输出最终目标信号。

所述快速提取单元具有基本计算模块、循环控制模块、累加模块及计数模块，其中基本计算模块对模数转换器的采样信号及特征向量计算单元输入的特征向量进行逐点乘加计算；循环控制模块根据计数模块的数值对基本计算模块进行循环控制；累加模块对基本计算模块的计算结果进行累加；计数模块对基本计算模块的计算次数进行累加。

上述主控逻辑器件可为 FPGA（现场可编程门阵列）或 DSP（数字信号

处理器)。

本实用新型的工作原理如下：频率、幅度和相位是信号的三个组成部分，只要将信号（本实施例以红外传感器信号为例）的这三个特征表示出来就可提取该信号，但有时候不可能同时得到这三个特征量，可以根据其中的一个或两个特征量将信号提取出来，本实用新型就是利用信号的幅度特性或者频率特性将信号提取出来，通过大规模逻辑器件（本实施例采用FPGA, EP1C12）存储特征向量，随着信号采样的不断进行，经过采样噪声和目标信号同时进入算法的输入，将特征向量和采集的数据进行计算，目标信号就可以有很高的放大倍数，噪声放大倍数却非常小，这样将数据进行切割处理就可完全剔除噪声信号，达到提取信号的目的，目标信号的幅度可能随着时间变化，只要实时调整特征向量，就可以适应目标信号的变化。整个算法的核心是快速提取单元中的基本计算单元，而决定计算大小的是特征向量的点数，本实用新型通过基本计算单元的设计来实现快速运算。

如图3所示，本实用新型的工作过程如下：

对混和强噪声的原始信号进行采样；

对上述采样信号和特征向量进行快速提取，得到去除强噪声的离散化的目标信号；

根据离散化的目标信号调整特征向量的值，得到新的特征向量，给下一次计算采用；

对上述振荡的目标信号进行限幅及平滑处理；

通过数模转换器输出最终目标信号。

其中上述快速提取包括以下步骤：对采样信号及特征向量进行逐点乘加计算；对计算次数进行累加；根据计算次数对乘加计算进行循环控制。

本实施例中特征向量取256点，基本计算单元取32点，那么累加次数为 $256/32=8$ ，基本单元把计算结果输出给累加单元，累加8次后得到最终结果。

数据在基本计算单元的计算过程，通过对 $m$ 个点的逐点乘加运算，得到了基本计算模块的计算结果 $x(n)$ ，这个基本计算模块决定了本实用新型的主控逻辑器件中逻辑单元的数量。将基本计算单模块作为控制核心，循环利用该基本计算模块，最后得到了离散化的目标信号输出 $y(n)$ ，循环的次数决定了本实用新型的时间响应。

占用的逻辑资源和装置的响应时间是矛盾的，可以通过测试来确定基本计算模块的点数和循环次数，以达到最好的效果、消耗最少的逻辑资源，又有很好的响应时间。

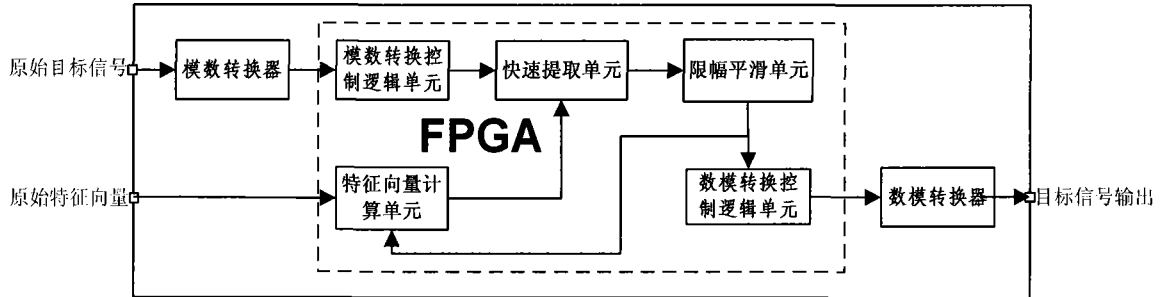


图 1

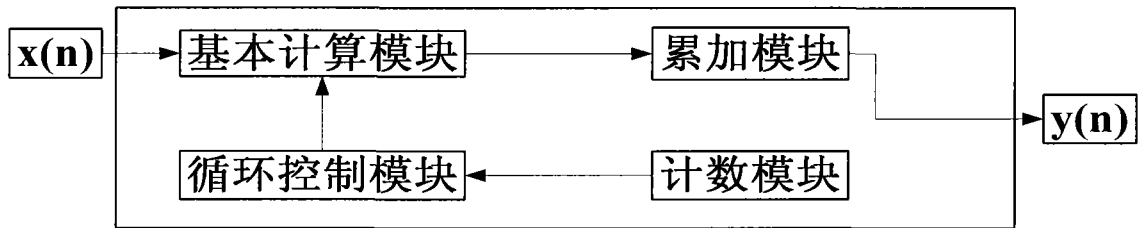


图 2

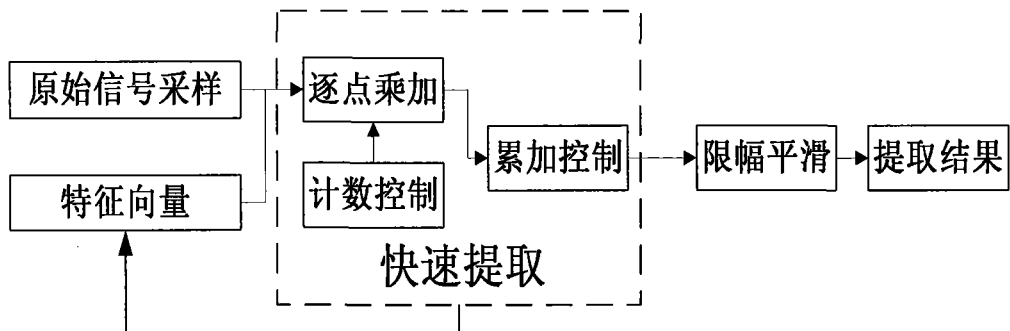


图 3