



(12) 发明专利申请

(10) 申请公布号 CN 105322903 A

(43) 申请公布日 2016. 02. 10

(21) 申请号 201410380672. X

(22) 申请日 2014. 08. 04

(71) 申请人 中国科学院沈阳自动化研究所

地址 110016 辽宁省沈阳市南塔街 114 号

(72) 发明人 于海斌 曾鹏 石刚 荣亮 赵伟

叶鼎

(74) 专利代理机构 沈阳科苑专利商标代理有限

公司 21002

代理人 徐丽 周秀梅

(51) Int. Cl.

H03F 7/00(2006. 01)

H03L 7/00(2006. 01)

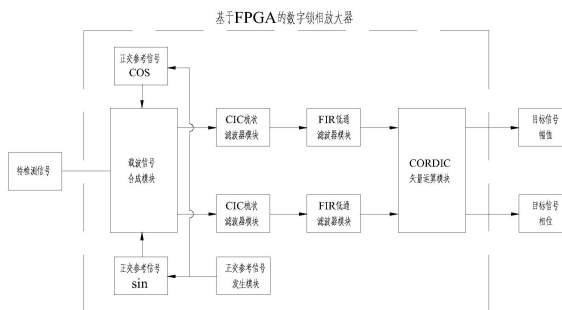
权利要求书1页 说明书2页 附图1页

(54) 发明名称

一种基于 FPGA 的数字锁相放大器的实现方法

(57) 摘要

本发明涉及一种基于 FPGA 的数字锁相放大器的实现方法,包括:正交参考信号发生模块,载波信号合成模块, CIC 梳状滤波器模块, FIR 低通滤波器模块, CORDIC 矢量运算模块。正交参考信号发生模块产生与目标信号同频的单位幅值的正交三角函数 SIN 和 COS 波。原始信号与正交参考信号 SIN, COS 通过载波合成模块进行乘积运算,产生两路载波信号。这两路载波信号各自分别通过 CIC 梳状滤波器模块进行降频,再通过 FIR 低通滤波器模块进行滤波处理后,经过 CORDIC 矢量运算模块进行解调及矢量运算,获得目标信号的幅值和相位。本发明克服了常规数字锁相放大器中单路参考信号相位与目标信号必须同相位这一要求。



1. 一种基于FPGA的数字锁相放大器的实现方法,其特征在于,在FPGA中以功能模块的方式实现,具体包括:

产生与目标信号同样频率且相位无关的、单位幅值的正交三角函数 SIN 波、COS 波,作为数字锁相放大器的正交参考信号;

依据相关性检测原理,将数字锁相放大器输入端的待检测信号分别与两路正交参考信号进行乘积运算,产生两路载波信号;

对每路载波信号进行低通滤波处理,从而达到消除交流分量,保留直流分量的目的;

采用CORDIC算法对滤波后的信号进行解调,并进行矢量运算,从而获得目标信号的幅值和相位。

2. 根据权利要求1所述的一种基于FPGA的数字锁相放大器的实现方法,其特征在于,所述对每路载波信号进行低通滤波处理,从而达到消除交流分量,保留直流分量的目的,具体为:对每路载波信号通过CIC梳状滤波器进行降低频率处理,再由FIR低通滤波器进行滤波。

3. 根据权利要求2所述的一种基于FPGA的数字锁相放大器的实现方法,其特征在于,所述CIC梳状滤波器的阶数取决于目标信号频率与系统采样率之间的关系,具体为:

$$\frac{\text{系统采样率}}{\text{目标信号频率}} < \text{CIC梳状滤波器的阶数} \leq 5 * \frac{\text{系统采样率}}{\text{目标信号频率}}。$$

一种基于 FPGA 的数字锁相放大器的实现方法

技术领域

[0001] 本发明涉及信号处理领域,具体涉及微弱信号的检测与处理中的一种基于 FPGA 的数字锁相放大器的实现方法。

背景技术

[0002] 相对于其他的微弱信号检测方法,锁相放大器具有更高的稳定性和灵活性。锁相放大器利用信号的相关性来提取信号,相关性检测可以最大限度的压缩带宽,抑制噪声。传统的锁相放大器采用模拟元器件来实现,但这样会引进更多的噪声。目前,数字锁相放大器得到越来越多的应用。

[0003] 但常规的数字锁相放大器的参考信号的相位要求与目标信号一致,不仅在一定程度上增加了系统的复杂性,还降低了数字锁相放大器的检测精度。

[0004] FPGA,即现场可编程门阵列,其内部由大量的门阵列组成,可以进行各种复杂的数字信号处理运算,数据并行处理的硬件结构是其在数字信号处理领域的优势。

[0005] 将 FPGA 应用于数字锁相放大器,充分发挥了 FPGA 在数字信号处理方面的优势,进一步提高了数字锁相放大器的性能。

发明内容

[0006] 本发明的目的在于解决常规数字锁相放大器参考信号相位与目标信号必须同相位的不足,提出一种以 FPGA 技术为基础,低功耗,低成本,检测精度高的数字锁相放大器的实现方法。

[0007] 本发明为实现上述目的所采用的技术方案是:一种基于 FPGA 的数字锁相放大器的实现方法,在 FPGA 中以功能模块的方式实现,具体包括:

[0008] 产生与目标信号同样频率且相位无关的、单位幅值的正交三角函数 SIN 波、COS 波,作为数字锁相放大器的正交参考信号;

[0009] 依据相关性检测原理,将数字锁相放大器输入端的待检测信号分别与两路正交参考信号进行乘积运算,产生两路载波信号;

[0010] 对每路载波信号进行低通滤波处理,从而达到消除交流分量,保留直流分量的目的;

[0011] 采用 CORDIC 算法对滤波后的信号进行解调,并进行矢量运算,从而获得目标信号的幅值和相位。

[0012] 所述对每路载波信号进行低通滤波处理,从而达到消除交流分量,保留直流分量的目的,具体为:对每路载波信号通过 CIC 梳状滤波器进行降低频率处理,再由 FIR 低通滤波器进行滤波。

[0013] 所述 CIC 梳状滤波器的阶数取决于目标信号频率与系统采样率之间的关系,具体为:

[0014]

$$\frac{\text{系统采样率}}{\text{目标信号频率}} < \text{CIC梳状滤波器的阶数} \leq 5 * \frac{\text{系统采样率}}{\text{目标信号频率}}$$

[0015] 本发明具有以下优点及有益效果：

[0016] 1. 本发明中的两路参考信号克服了常规数字锁相放大器中单路参考信号相位与目标信号必须同相位这一要求；

[0017] 2. 采用 CIC 梳状滤波器与 FIR 低通滤波器相结合的特点，提高了滤波器的品质因数，进一步提高了数字锁相放大器的检测精度。

附图说明

[0018] 图 1 为本发明的结构框图。

具体实施方式

[0019] 下面结合附图及实施例对本发明做进一步的详细说明。

[0020] 本发明所涉及的一种基于 FPGA 的数字锁相放大器的实现方法，通过对原始信号与正交参考信号乘积运算得到的载波信号，进行 CIC 梳状滤波器降频，FIR 低通滤波器滤波，再通过 CORDIC 矢量运算，从而得到目标信号的幅值和相位。

[0021] 如图 1 所示，基于 FPGA 的数字锁相放大器的实现方法主要包括正交参考信号发生模块、载波合成模块、CIC 梳状滤波器模块、FIR 低通滤波器模块和 CORDIC 矢量运算模块。

[0022] 正交参考信号发生模块，产生与目标信号同样频率的单位幅值的正交三角函数 SIN，COS 波，作为数字锁相放大器的正交参考信号，参考信号与目标信号具有相位无关性。两路正交参考信号有效地解决了常规数字锁相放大器中单路参考信号相位与目标信号必须同相位的问题。

[0023] 载波合成模块，依据相关性检测原理，将原始信号分别与两路正交参考信号进行乘积运算，达到减弱非相关性信号强度的效果，产生两路载波信号。

[0024] CIC 滤波器模块，分别对两路载波信号进行降频处理。该滤波器的阶数取决于目标信号频率与系统采样率之间的关系；对于目标信号频率远高于系统采样频率的情况，该模块使 FIR 低通滤波器可以通过更少的阶数，减少波形建立时间的同时，有效地提高了 FIR 低通滤波器的滤波性能。

[0025] FIR 低通滤波器模块，对载波信号进行低通滤波，消除交流分量，保留直流分量。其低通滤波性能是数字锁相放大器的关键指标，决定锁相放大器检测的高精度。

[0026] CORDIC 矢量运算模块，采用 CORDIC 算法对滤波后的信号进行解调，并进行矢量运算，从而获得目标信号的幅值和相位。CORDIC 算法是已有的算法，具体可参考《数字信号处理的 FPGA 实现》（（美）贝耶尔著，刘凌译，2011-3-1）。

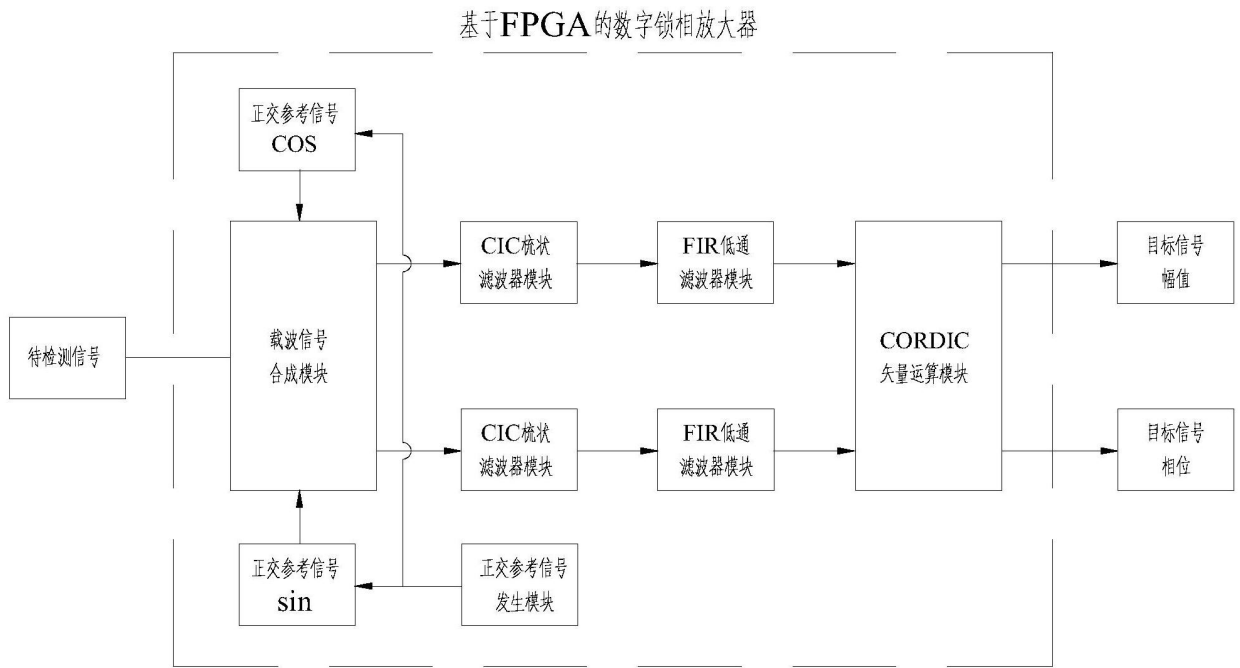


图 1