



(12)发明专利

(10)授权公告号 CN 105703745 B

(45)授权公告日 2019.01.04

(21)申请号 201410679855.1

(22)申请日 2014.11.24

(65)同一申请的已公布的文献号
申请公布号 CN 105703745 A

(43)申请公布日 2016.06.22

(73)专利权人 中国科学院沈阳自动化研究所
地址 110016 辽宁省沈阳市东陵区南塔街
114号

(72)发明人 谢闯 杨志家 王剑 董策
段茂强 吕岩 张超

(74)专利代理机构 沈阳科苑专利商标代理有限公司 21002
代理人 许宗富 周秀梅

(51)Int.Cl.

H03K 5/1534(2006.01)

(56)对比文件

CN 1571957 A,2005.01.26,
US 2008/0054945 A1,2008.03.06,
WO 2009/076097 A1,2009.06.18,
CN 102497200 A,2012.06.13,

审查员 徐生芹

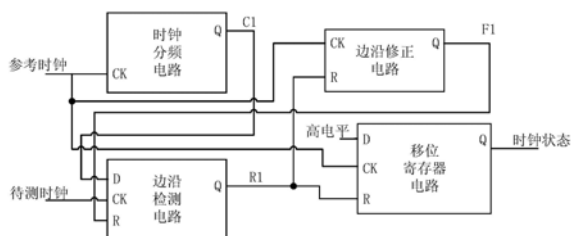
权利要求书2页 说明书5页 附图2页

(54)发明名称

一种时钟状态指示电路及方法

(57)摘要

本发明涉及一种时钟状态指示电路,包括时钟分频电路、边沿修正电路、边沿检测电路和移位寄存器电路;所述时钟分频电路与边沿修正电路连接;所述边沿修正电路与边沿检测电路、移位寄存器电路连接;所述边沿检测电路与移位寄存器电路连接;其方法为生成不同的分频时钟信号和周期复位信号,通过移位寄存器的移位和复位操作指示时钟状态。本发明电路当采用2分频时,最小可采用六个触发器和二个门电路即可以实现时钟状态指示功能,具有结构简单、运行功耗小等优点。



1. 一种时钟状态指示电路,其特征在于:包括时钟分频电路、边沿修正电路、边沿检测电路和移位寄存器电路;所述时钟分频电路与边沿修正电路连接;所述边沿修正电路与边沿检测电路、移位寄存器电路连接;所述边沿检测电路与移位寄存器电路连接;

所述时钟分频电路用于对参考时钟进行分频,输出分频时钟信号至边沿检测电路;

所述边沿检测电路接入待测时钟、时钟分频电路输出的分频时钟信号和边沿修正电路输出的边沿修正信号,对分频时钟信号进行边沿提取,输出周期复位信号至边沿修正电路和移位寄存器电路;

所述边沿修正电路接入参考时钟和周期复位信号进行修正得到边沿修正信号输出至边沿检测电路;

所述移位寄存器电路接入高电平,参考时钟和周期复位信号,进行内部寄存器移位及复位操作,输出时钟状态信号。

2. 根据权利要求1所述的一种时钟状态指示电路,其特征在于所述时钟分频电路包括第一非门和寄存器;所述第一非门输出端与寄存器的数据端连接,寄存器的输出端作为时钟分频电路的输出,并与第一非门的输入端连接;寄存器的时钟端接入参考时钟。

3. 根据权利要求1所述的一种时钟状态指示电路,其特征在于所述边沿检测电路包括依次连接的三个寄存器和一个异或门;所述三个寄存器的时钟端均接入待测时钟,复位端均与边沿修正电路的输出端连接,顺次连接的第一寄存器数据端作为边沿检测电路的输入并与时钟分频电路的输出端连接,第三寄存器输出端与异或门的第一输入端连接,第二寄存器输出端与异或门的第二输入端连接,异或门的输出端作为边沿检测电路的输出。

4. 根据权利要求1所述的一种时钟状态指示电路,其特征在于所述边沿修正电路包括第二非门和与门,第二非门的输入端接入参考时钟,输出端与与门的第一输入端连接,与门的第二输入端与边沿检测电路的输出端连接,输出端为边沿修正电路的输出。

5. 根据权利要求1所述的一种时钟状态指示电路,其特征在于所述移位寄存器电路包括多个顺序连接的寄存器,每个寄存器的时钟端均接入参考时钟,复位端均与边沿检测电路的输出端连接,首个寄存器的数据端连接高电平,最后一个寄存器的输出端作为移位寄存器电路的输出。

6. 一种时钟状态指示方法,其特征在于包括以下步骤:

a. 时钟分频电路对参考时钟进行分频得到分频时钟信号;

b. 边沿检测电路对分频时钟信号进行边沿提取得到周期复位信号;

c. 移位寄存器电路将高电平逐级传递,当待测时钟正常时,周期复位信号对内部的寄存器进行复位,移位寄存器电路输出保持低电平;当待测时钟异常时,周期复位信号丢失,移位寄存器电路输出保持高电平;

d. 边沿修正电路在待测时钟停止且周期复位信号异常时,将取反的参考时钟与周期复位信号进行相与生成边沿修正信号;

e. 由移位寄存器电路输出时钟状态信号,返回步骤a。

7. 根据权利要求6所述的一种时钟状态指示电路,其特征在于所述边沿提取具体为:当产生边沿时,顺次连接的第二寄存器的输出和第三寄存器的输出不相等,通过异或门产生高电平;

所述边沿检测电路包括依次连接的三个寄存器和一个异或门;所述三个寄存器的时钟

端均接入待测时钟,复位端均与边沿修正电路的输出端连接,顺次连接的第一寄存器数据端作为边沿检测电路的输入并与时钟分频电路的输出端连接,第三寄存器输出端与异或门的第一输入端连接,第二寄存器输出端与异或门的第二输入端连接,异或门的输出端作为边沿检测电路的输出。

8. 根据权利要求6所述的一种时钟状态指示电路,其特征在于所述进行分频为进行N-等占空比分频。

9. 根据权利要求8所述的一种时钟状态指示电路,其特征在于移位寄存器电路中寄存器的级数为N+1级以上。

一种时钟状态指示电路及方法

技术领域

[0001] 本发明涉及一种时钟状态指示电路及方法,具体说是一种用于片上系统芯片的监控时钟状态是否正常的电路及方法。

背景技术

[0002] 随着集成电路技术,特别是片上系统芯片技术的迅速发展,芯片内部通常集成了多种时钟振荡器,比较常见的如阻容式振荡器、石英晶体振荡器等。不同的时钟振荡器的启动时间不同,精度、稳定性也有所不同。通常来说,阻容式振荡器具有启动时间快,精度相对低等特点;石英晶体振荡器具有启动时间慢,精度高等特点。片上系统芯片在上电工作过程中,为了达到快速启动进入工作状态,常常先使用阻容式振荡器作为系统工作时钟,待石英晶体振荡器稳定启动后,自动将其切换为系统工作时钟。为了完成时钟切换过程,片上系统芯片内部必须有时钟状态指示电路用于实时指示时钟的工作状态。因此在包括多时钟振荡器的片上系统芯片内部,一般都包含时钟监测电路。时钟监测电路可用于在片上系统芯片启动时或有时钟振荡器失效时,生成切换或失效信号,保证芯片的正常工作。

[0003] 传统的实现方法一般采取使用两个定时器,分别为参考时钟和检测时钟分别计数,通过对计数值进行比较,判断时钟丢失。还有些方法使用单计数器,两级锁存器结构,通过两级锁存器值的异同判断时钟是否丢失。无论采用以上哪一种方法,电路结构都相对复杂、消耗较多的逻辑资源,对片上系统芯片的功耗会带来消极的影响。

发明内容

[0004] 针对上述技术不足,本发明目的是提供一种面向片上系统的时钟状态指示电路及方法。该电路可以在待测时钟频率大于参考时钟时,有效的对待测时钟信号进行状态指示,产生待测时钟的状态指示信号。

[0005] 为了实现以上功能,本发明采取了以下的技术方案:一种时钟状态指示电路,包括时钟分频电路、边沿修正电路、边沿检测电路和移位寄存器电路;所述时钟分频电路与边沿修正电路连接;所述边沿修正电路与边沿检测电路、移位寄存器电路连接;所述边沿检测电路与移位寄存器电路连接;

[0006] 所述时钟分频电路用于对参考时钟进行分频,输出分频时钟信号至边沿检测电路;

[0007] 所述边沿检测电路接入待测时钟、时钟分频电路输出的分频时钟信号和边沿修正电路输出的边沿修正信号,对分频时钟信号进行边沿提取,输出周期复位信号至边沿修正电路和移位寄存器电路;

[0008] 所述边沿修正电路接入参考时钟和周期复位信号进行修正得到边沿修正信号输出至边沿检测电路;

[0009] 所述移位寄存器电路接入高电平,参考时钟和周期复位信号,进行内部寄存器移位及复位操作,输出时钟状态信号。

[0010] 所述时钟分频电路包括非门和寄存器;所述非门输出端与寄存器的数据端连接,寄存器的输出端作为时钟分频电路的输出,并与非门的输入端连接;寄存器的时钟端接入参考时钟。

[0011] 所述边沿检测电路包括依次连接的三个寄存器和一个异或门;所述三个寄存器的时钟端均接入待测时钟,复位端均与边沿修正电路的输出端连接,顺次连接的第一寄存器数据端作为边沿检测电路的输入并与时钟分频电路的输出端连接,第三寄存器输出端与异或门的第一输入端连接,第二寄存器输出端与异或门的第二输入端连接,异或门的输出端作为边沿检测电路的输出。

[0012] 所述边沿检测电路包括非门和与门,非门的输入端接入参考时钟,输出端与与门的第一输入端连接,与门的第二输入端与边沿检测电路的输出端连接,输出端为边沿检测电路的输出。

[0013] 所述移位寄存器电路包括多个顺序连接的寄存器,每个寄存器的时钟端均接入参考时钟,复位端均与边沿检测电路的输出端连接,首个寄存器的数据端连接高电平,最后一个寄存器的输出端作为移位寄存器电路的输出。

[0014] 一种时钟状态指示方法,包括以下步骤:

[0015] a.时钟分频电路对参考时钟进行分频得到分频时钟信号;

[0016] b.边沿检测电路对分频时钟信号进行边沿提取得到周期复位信号;

[0017] c.移位寄存器电路将高电平逐级传递,当待测时钟正常时,周期复位信号对内部的寄存器进行复位,移位寄存器电路输出保持低电平;当待测时钟异常时,周期复位信号丢失,移位寄存器电路输出保持高电平;

[0018] d.边沿修正电路在待测时钟停止且周期复位信号异常时,将取反的参考时钟与周期复位信号进行相与生成边沿修正信号;

[0019] e.由移位寄存器电路输出时钟状态信号,返回步骤a。

[0020] 所述边沿提取具体为当产生边沿时,顺次连接的第二寄存器和第三寄存器的输出不等,通过异或门产生高电平。

[0021] 所述进行分频为进行N-等占空比分频。

[0022] 所述移位寄存器电路中寄存器的级数为N+1级以上。

[0023] 本发明具有以下有益效果及优点:

[0024] 1.本发明电路面向片上系统设计,可以有效的提供待测时钟信号的状态。

[0025] 2.本发明电路全部采用数字电路设计实现,没有模拟电路,可以在集成电路设计或现场可编程逻辑阵列设计等多个领域采用。

[0026] 3.本发明电路当采用2分频时,最小可采用六个触发器和二个门电路即可以实现时钟状态指示功能,具有结构简单、运行功耗小等优点。

附图说明

[0027] 图1是本发明一种时钟状态指示电路结构图;

[0028] 图2是2分频时钟分频电路结构图;

[0029] 图3是边沿检测电路结构图;

[0030] 图4是边沿修正电路结构图;

[0031] 图5是移位寄存器电路结构图。

具体实施方式

[0032] 下面结合附图和具体实施方式对本发明做进一步的详细说明。

[0033] 一种时钟状态指示电路,外部输入端口包括参考时钟信号、待测时钟信号、输出端口包括时钟状态信号。

[0034] 本发时电路的端口功能描述如下:参考时钟信号是连续生成,为产生时钟状态信号提供参考的时钟,一般为低频率时钟,在实际应用中,可采用32KHz,10KHz等低频时钟;待测时钟信号为被测时钟信号,一般指高频率时钟,在本发明专业中,应为参考时钟频率的3倍以上;时钟状态信号指示待测时钟信号是否正常工作,如果正常工作,输出低电平信号,否则生成高电平信号。

[0035] 本发明的功能模块包括时钟分频电路、边沿修正电路、边沿检测电路、移位寄存器电路。

[0036] 本发明的模块及端口连接关系如下:所述的时钟分频电路的输入时钟端口由参考时钟信号输入,输出端口为分频时钟信号;边沿检测电路的输入时钟端口由待测时钟信号输入,输入复位端口由边沿检测电路的边沿修正信号输入,输出端口为周期复位信号;边沿修正电路的输入时钟端口由参考时钟信号输入,输入复位端口由边沿检测电路的周期复位信号输入,输出端口为边沿修正信号;移位寄存器电路的输入时钟端口由参考时钟信号输入,输入复位端口由边沿检测电路的周期复位信号输入,输出端口为时钟状态信号。

[0037] 本发明专利中时钟分频电路的功能是对参考时钟信号进行N-等占空比分频得到分频时钟信号,该信号的有效高电平和低电平长度为 $NT/2$ 。其中N的取值范围为1至无穷大,当N取值为1时,即不进行分频。如果参考时钟信号的占空比满足或接近1,N可取值为1。

[0038] 本发明专利中边沿检测电路在待测时钟作用下,对时钟分频电路生成的分频时钟信号进行边沿提取,具体的说是提取上升沿和下降沿,产生周期为NT的周期复位信号。

[0039] 本发明专利中边沿修正电路的作用是对边沿检测电路产生的周期复位信号和参考时钟信号,通过组合逻辑电路,产生边沿修正信号。

[0040] 本发明专利中移位寄存器电路包含N+1级寄存器组,在周期复位信号和参考时钟作用下,进行复位和移位等操作,生成时钟状态信号。

[0041] 本发明电路的原理描述如下。

[0042] 记参考时钟信号频率为F,频率为T。由频率和时钟的关系,可得F与T的乘积等于1,即F等于 $1/T$ 。

[0043] 对参考时钟信号进行N-等占空比分频可以得到有效高电平和低电平长度为 $NT/2$,周期为NT的分频时钟;在当待测时钟有效时,可同分频时钟生成周期为NT周期复位信号;在高电平输入、参考时钟驱动的N+1级移位寄存器组中,由于周期为NT的周期复位信号的作用,移位寄存器电路以NT为周期进行复位,使得高电平只能够传递到移位寄存器的第N级寄存器,不会传递到移位寄存器电路的第N+1级,即时钟状态信号始终保持低电平;当待测时钟信号无效时,边沿检测电路无法生成周期复位信号,移位寄存器电路中的第N+1级寄存器最终产生高电平指示。

[0044] 由于待测时钟的不确定性,在某种条件下,可能产生异常的周期复位信号,此时会

对移位寄存器电路产生错误的影响,产生错误的时钟状态结果。对于该结果的修正可通过周期复位信号与反向的参考时钟通过与门逻辑,产生边沿修正信号。边沿修正信号可以修正异常的周期复位信号,并最终产生正确的时钟状态信号。

[0045] 当采用N-等占空比分频时,移位寄存器的级数为N+1或以上,可保证本电路正常工作。

[0046] 本发明电路的方法步骤为:

[0047] 时钟分频电路对参考时钟信号进行N-等占空比分频得到周期为NT分频时钟信号;

[0048] 边沿检测电路对时钟分频电路生成的分频时钟信号进行边沿提取,产生周期为NT的周期复位信号;

[0049] 移位寄存器电路将高电平逐级传递,当待测时钟正常时,周期复位信号对内部的寄存器进行复位,移位寄存器电路输出保持低电平;当待测时钟异常时,周期复位信号丢失,移位寄存器电路输出保持高电平。

[0050] 边沿修正电路在检测到异常的周期复位信号时,生成边沿修正信号;边沿检测电路在边沿修正信号作用下,进行逻辑电路处理,修正异常的周期复位信号。

[0051] 移位寄存器电路根据周期复位信号和参考时钟信号,产生时钟状态信号

[0052] 实施例:

[0053] 本实施例是实现本专利所述时钟状态指示电路的一种方式,采用了相对比较简单电路结构,其中时钟分频电路中的N取值为2,即采用2-等占空分频,移位寄存器采用3位寄存器移位寄存器电路。

[0054] 具体实施例请参阅图1所示,一种时钟状态指示电路,结构上包括时钟分频电路、边沿检测电路、边沿修正电路和移位寄存器电路;外部端口包括输出端口参考时钟和待测时钟,输出端口时钟状态。

[0055] 具体连接关系为,参考时钟信号连接到时钟分频电路的时钟端口CK,时钟分频电路的时钟输出端口Q产生分频时钟信号C1;待测时钟信号连接到边沿检测电路的时钟端口CK,时钟分频电路产生分频时钟信号C1连接到边沿检测电路的数据端口D,边沿修正电路产生边沿修正信号F1连接到边沿检测电路的复位端,边沿检测电路的输出端口Q生成置位信号R1;

[0056] 边沿修正电路的输入时钟端口CK由参考时钟信号输入,输入复位端口R由边沿检测电路的周期复位信号R1输入,输出端口为边沿修正信号F1,输出至边沿检测电路的复位端口R;

[0057] 边沿检测电路生成的周期复位信号R1连接到移位寄存器电路的复位端口R,参考时钟信号连接到移位寄存器电路的时钟端口CK,移位寄存器电路的数据端口D连接高电平信号,移位寄存器电路输出Q产生时钟状态信号。

[0058] 本实施例采用2分频时钟分频电路,如图2所示。该分频电路包括寄存器1和非门1。其连接关系为寄存器1的时钟输入端口CK由时钟分频电路的输入端口CK输入,寄存器1的数据输入端口D由非门1的输出端口Q输入,寄存器1的输出端口Q输出到非门1的输入端口A,寄存器1的输出端口Q输出到时钟分频电路的输出端口Q;非门1的输入端口A由寄存器1的输出端口Q输入,非门1的输出端口Q输出到寄存器1的输入端口D。

[0059] 本实施例中边沿检测电路结构如图3所示。该边沿检测电路包含寄存器2、寄存器

3、寄存器4和异或门1组成。其连接关系为寄存器2的输入端口D由边沿检测电路外部输入CK输入,寄存器2的输入端口CK由边沿检测电路外部输入CK输入,寄存器2的输出端口Q输出到寄存器3的输入端口D;寄存器3的输入端口CK由边沿检测电路外部输入CK输入,寄存器2的输入端口D由寄存器2的输出端口Q输入,寄存器3的输出端口Q输出到寄存器4的输入端口D和异或门1的输入端口B;寄存器4的输入端口CK由边沿检测电路外部输入CK输入,寄存器4的输入端口D由寄存器3的输出端口Q输入,寄存器4的输出端口Q输出到异或门1的输入端口A;异或门1的输入端口A由寄存器4的输出端口Q输入,异或门1的输出端口B由寄存器3的输出端口Q输入,异或门1的输出端口Q输出到边沿检测电路的外部输出端口Q。

[0060] 本实施例中边沿修正电路结构如图4所示。该边沿修正电路包含非门1和与门1组成。其连接关系为非门1的输入端口A由边沿修正电路的外部端口CK输入,非门1的输出端口Q连接到与门1的输入端口A;与门1的输入端口A由非门1的输出端口Q接入,与门1的输入端口B由边沿修正电路的外部端口R接入,与门1的输出端口Q输出到边沿修正电路的外部端口Q。

[0061] 本实施例中移位寄存器电路结构如图5所示。该移位寄存器电路包含寄存器5、寄存器6和寄存器7组成。其连接关系为寄存器5的输入端口D由高电平信号输入,寄存器5的输入端口CK由移位寄存器电路外部输入端口CK输入,寄存器2的输出端口Q输出到寄存器6的输入端口D;寄存器6的输入端口CK由移位寄存器电路外部输入端口CK输入,寄存器6的输入端口D由寄存器5的输出端口Q输入,寄存器6的输出端口Q输出到寄存器7的输入端口D;寄存器7的输入端口CK由移位寄存器电路外部输入端口CK输入,寄存器7的输入端口D由寄存器6的输出端口Q输入,寄存器7的输出端口Q输出到移位寄存器电路外部输出端口Q。

[0062] 本实施例仅列举本电路的一种实施方式,其它实现方式可采用N分频(N为偶数)时钟分频电路,对应采用N+1或以上级移位寄存器电路即可。如果边沿提取电路生成的置位信号R1有效宽度偏小,可在边沿提取电路中的寄存器3和寄存器4之间插入更多的触发器实现。

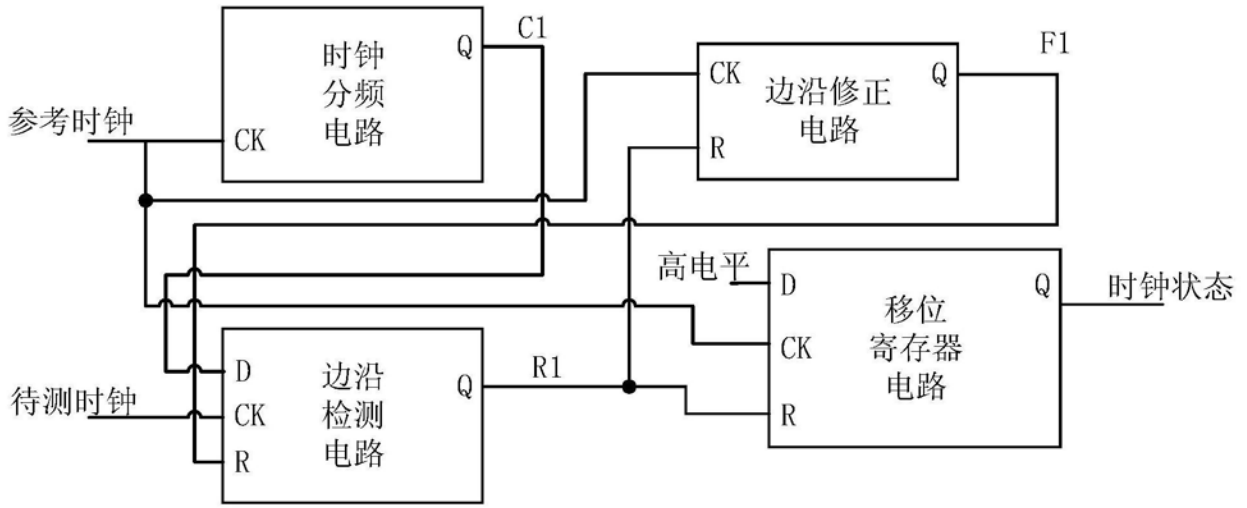


图1

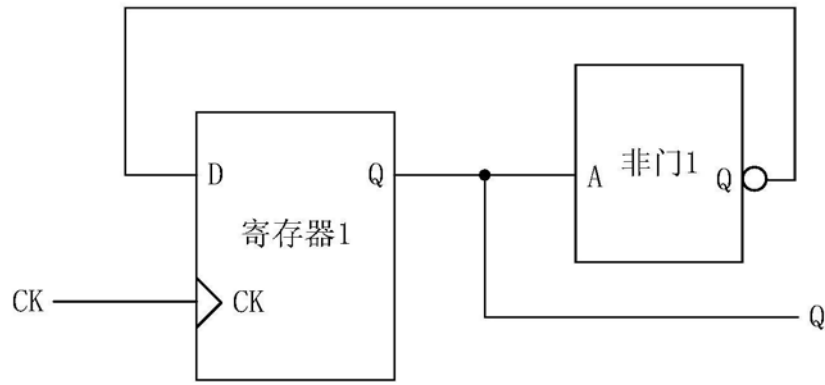


图2

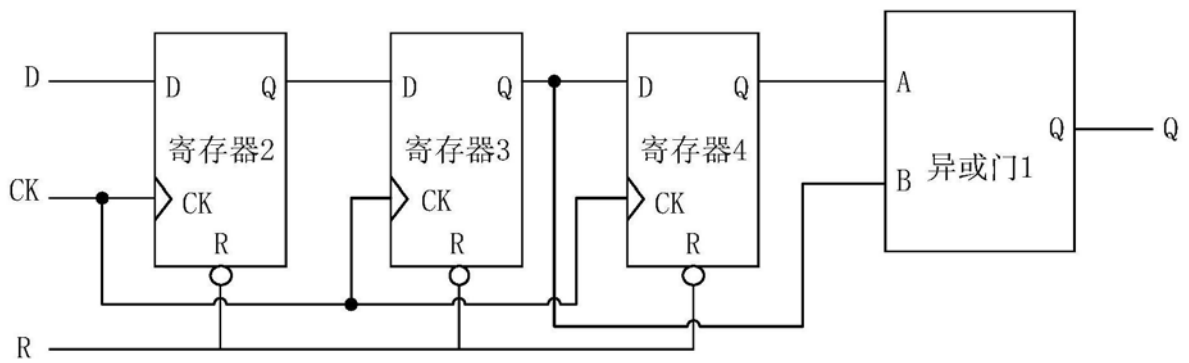


图3

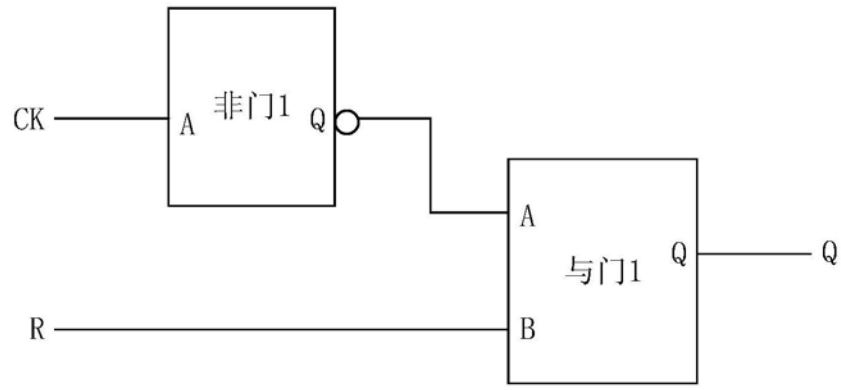


图4

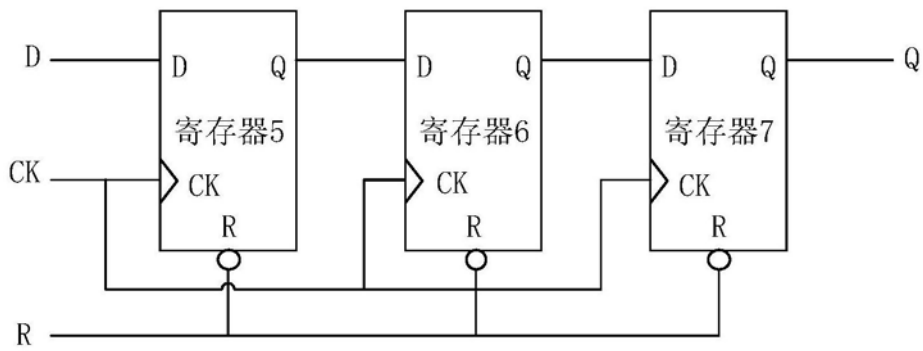


图5