



(12)发明专利

(10)授权公告号 CN 105703749 B

(45)授权公告日 2018.07.20

(21)申请号 201410683200.1

H03K 17/22(2006.01)

(22)申请日 2014.11.24

(56)对比文件

(65)同一申请的已公布的文献号
申请公布号 CN 105703749 A

CN 103327587 A, 2013.09.25,
CN 1451247 A, 2003.10.22,
CN 103389644 A, 2013.11.13,
US 6725067 B1, 2004.04.20,

(43)申请公布日 2016.06.22

(73)专利权人 中国科学院沈阳自动化研究所
地址 110016 辽宁省沈阳市东陵区南塔街
114号

审查员 郁然

(72)发明人 谢闯 董策 段茂强 张志鹏
杨志家 王剑 崔书平

(74)专利代理机构 沈阳科苑专利商标代理有限
公司 21002
代理人 许宗富 周秀梅

(51)Int.Cl.

H03K 17/28(2006.01)

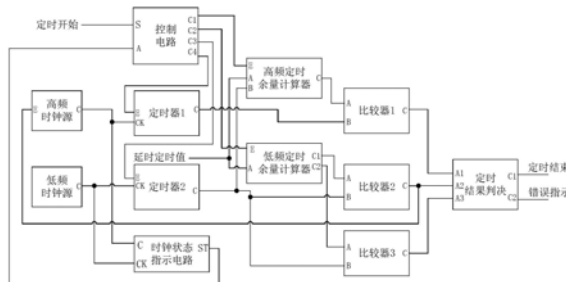
权利要求书2页 说明书13页 附图3页

(54)发明名称

一种低功耗精确的休眠定时器电路及方法

(57)摘要

本发明涉及一种低功耗精确的休眠定时器电路,包括高频时钟源、低频时钟源、时钟状态指示电路、控制电路、定时器、高频定时余量计算器、低频定时余量计算器、比较器、定时结果判决器。其方法为通过两个定时器的自动切换完成休眠定时。本发明电路采用高频定时器、低频定时器、时钟状态指示电路、控制电路、高频定时余量计算器、低频定时余量计算器等电路结构,采用硬件控制高频定时器、低频定时器的方法,解决了传统需要靠处理器进行切换的缺点,减少了处理器资源开销,提高了定时精度,降低了系统功耗。



1. 一种低功耗精确的休眠定时器电路,其特征在于:包括高频时钟源、低频时钟源、时钟状态指示电路、控制电路、定时器、高频定时余量计算器、低频定时余量计算器、比较器、定时结果判决器;

所述高频时钟源输出高频时钟至第一定时器的时钟端和时钟状态指示电路的待测时钟端,第一定时器输出端与第一比较器第二输入端连接;低频时钟源输出低频时钟至第二定时器的时钟端和时钟状态指示电路的参考时钟端;

所述时钟状态指示电路的输出时钟状态信号至控制电路,第一输入端接入高频时钟、第二输入端接入低频时钟;

所述控制电路的第一输入端接入定时开始信号、第二输入端接入时钟状态信号,四个输出端分别与高频定时余量计算器、低频定时余量计算器、第一定时器、第二定时器的使能端连接;

所述高频定时余量计算器的第一输入端、低频定时余量计算器的输入端均接入延时定时值;第二定时器输出端与高频定时余量计算器第二输入端、第二比较器第二输入端、第三比较器的第二输入端连接;高频定时余量计算器输出端与第一比较器第一输入端连接;低频定时余量计算器的两个输出端分别与第二比较器第一输入端、第三比较器的第一输入端连接;

第一比较器、第二比较器、第三比较器的输出端分别与定时结果判决器的三个输入端连接,定时结果判决器输出定时结束信号和错误指示信号;第二比较器的输出端还与高频时钟源的输入端连接。

2. 根据权利要求1所述的一种低功耗精确的休眠定时器电路,其特征在于所述时钟状态指示电路包括:包括时钟分频电路、边沿修正电路、边沿检测电路和移位寄存器电路;所述时钟分频电路与边沿修正电路连接;所述边沿修正电路与边沿检测电路、移位寄存器电路连接;所述边沿检测电路与移位寄存器电路连接;

所述时钟分频电路用于对参考时钟进行分频,输出分频时钟信号至边沿检测电路;

所述边沿检测电路接入待测时钟、时钟分频电路输出的分频时钟信号和边沿修正电路输出的边沿修正信号,对分频时钟信号进行边沿提取,输出周期复位信号至边沿修正电路和移位寄存器电路;

所述边沿修正电路接入参考时钟和周期复位信号进行修正得到边沿修正信号输出至边沿检测电路;

所述移位寄存器电路接入高电平,参考时钟和周期复位信号,进行内部寄存器移位及复位操作,输出时钟状态信号。

3. 一种低功耗精确的休眠定时方法,其特征在于包括以下步骤:

定时开始,控制电路产生低频计算使能输出至低频定时余量计算器、低频定时使能输出至第二定时器;低频定时余量计算器对延时定时值进行计算得到两个低频定时比较值,并且第二定时器开始计数;

当低频定时余量计算器输出的第一低频定时比较值和第二计数器的计数值相等时,生成第一低频比较匹配信号,同时启动高频时钟源;当高频时钟源工作时,时钟状态指示电路生成时钟状态信号输出至控制电路;控制电路生成高频计算使能输出至高频定时余量计算器、高频定时使能输出至第一定时器,同时关闭低频定时使能,第二定时器停止计数;

高频定时余量计算器对延时定时值和第二定时器的当前计数值进行计算,得到高频定时比较值,并且第一定时器开始计数;当高频定时余量计算器输出的高频定时比较值和第一定时器的计数值相等时,生成高频比较匹配信号;

定时结果判决器根据第一比较器和第二比较器的比较结果输出定时结束信号。

4. 根据权利要求3所述的一种低功耗精确的休眠定时方法,其特征在于所述第一低频比较匹配信号启动高频时钟源之后,当高频时钟源异常时,保持低频定时使能,第二定时器继续计数;当计数值与第二低频定时比较值相等时,生成第二低频比较匹配信号;

定时结果判决器根据第二比较器和第三比较器的比较结果输出定时结束信号和错误指示信号。

5. 根据权利要求3所述的一种低功耗精确的休眠定时方法,其特征在于所述低频定时余量计算器对延时定时值进行计算通过以下公式实现:

第一低频定时比较值 = (延时定时值 - 高频时钟源唤醒时间 - 高频定时器计数时间) / 低频时钟源时钟周期;

其中,高频时钟源唤醒时间、高频定时器计数时间、低频时钟源时钟周期均为设定值。

6. 根据权利要求3所述的一种低功耗精确的休眠定时方法,其特征在于所述低频定时余量计算器对延时定时值进行计算还通过以下公式实现:

第二低频定时比较值 = 延时定时值 / 低频时钟源时钟周期;

其中,低频时钟源时钟周期为设定值。

7. 根据权利要求3所述的一种低功耗精确的休眠定时方法,其特征在于所述对延时定时值和第二定时器的当前计数值进行计算通过以下公式实现:

高频定时比较值 = (延时定时值 - 第二定时器当前计数值 - 相位偏移值) / 高频时钟源时钟周期;

其中,相位偏移值、高频时钟源时钟周期均为设定值。

8. 根据权利要求3所述的一种低功耗精确的休眠定时方法,其特征在于所述根据第一比较器和第二比较器的比较结果输出定时结束信号具体为:第一比较器和第二比较器的输出结果都为相等时,输出定时结束信号并且不产生错误指示信号。

9. 根据权利要求4所述的一种低功耗精确的休眠定时方法,其特征在于所述根据第二比较器和第三比较器的比较结果输出定时结束信号和错误指示信号具体为:第二比较器和第三比较器的输出结果都为相等时,输出定时结束信号并且产生错误指示信号。

10. 根据权利要求3所述的一种低功耗精确的休眠定时方法,其特征在于所述时钟状态指示电路生成时钟状态信号包括以下步骤:

a. 时钟分频电路对参考时钟进行分频得到分频时钟信号;

b. 边沿检测电路对分频时钟信号进行边沿提取得到周期复位信号;

c. 移位寄存器电路将高电平逐级传递,当待测时钟正常时,周期复位信号对内部的寄存器进行复位,移位寄存器电路输出保持低电平;当待测时钟异常时,周期复位信号丢失,移位寄存器电路输出保持高电平;

d. 边沿修正电路在待测时钟停止且周期复位信号异常时,将取反的参考时钟与周期复位信号进行相与生成边沿修正信号;

e. 由移位寄存器电路输出时钟状态信号,返回步骤a。

一种低功耗精确的休眠定时器电路及方法

技术领域

[0001] 本发明涉及一种低功耗精确的休眠定时器电路及方法,具体说是一种面向片上系统级芯片的,可以有效减小功率消耗、提供精确定时的休眠定时器电路及方法。

背景技术

[0002] 定时问题是嵌入式系统中的一项十分常见的问题。不同的嵌入式处理器包含不同的定时单元、不用的系统应用需要不同的定时应用。常见的定时器类型包括一般的定时器、输入脉冲长度定时器、输出脉冲定时器、多输入/输出定时器、与功能模块结合的定时器等。针对应用的定时器类型则更加多种多样,如发送定时器、接收定时器、休眠定时器、实时时钟定时器等。

[0003] 休眠定时器是定时器中的一种类型。理想的休眠定时器工作原理一般是在系统休眠前设置一个定时时间,在休眠时被启动,之后系统进行休眠状态;当休眠定时器运行到预设的定时时间后,产生唤醒信号,系统在此信号下被唤醒,之后开始工作。理想的休眠定时器实际上是不可行的,高精度的定时需要高频率时钟信号,过高的频率消耗较大的功耗。如果使用较低定时频率,则定时的精度无法达到要求。目前这个问题的解决需要处理器辅助定时器解决,在休眠后,由低频率的定时器工作,解决功耗较大的问题;在唤醒后,由高频率的定时器工作,补足低频率定时器计数的余量。这种方式在一定程度上解决了功耗与精度的问题,但仍不理想,原因有以下几个方面:处理器的参与仍会产生不必要的功耗;处理器唤醒的非确定性导致休眠定时的不精确性。

发明内容

[0004] 针对上述技术不足,本发明的目的提供一种面向工业过程自动化的工业无线网络标准技术协议实现,用于片上系统级芯片的低功耗、精确的休眠定时器电路及方法。该电路对传统电路包含两项改进:第一是增加了余量计算、定时结果判决等电路,将处理器实现的运算变为硬件计算,降低了功耗;第二是改善处理器唤醒时间的不确定性,可以有效提高休眠定时的精度。

[0005] 本发明解决其技术问题采用以下技术方案:一种低功耗精确的休眠定时器电路,包括高频时钟源、低频时钟源、时钟状态指示电路、控制电路、定时器、高频定时余量计算器、低频定时余量计算器、比较器、定时结果判决器;

[0006] 所述高频时钟源输出高频时钟至第一定时器的时钟端和时钟状态指示电路的待测时钟端,第一定时器输出端与第一比较器第二输入端连接;低频时钟源输出低频时钟至第二定时器的时钟端和时钟状态指示电路的参考时钟端;

[0007] 所述时钟状态指示电路的输出时钟状态信号至控制电路,第一输入端接入高频时钟、第二输入端接入低频时钟;

[0008] 所述控制电路的第一输入端接入定时开始信号、第二输入端接入时钟状态信号,四个输出端分别与高频定时余量计算器、低频定时余量计算器、第一定时器、第二定时器的

使能端连接；

[0009] 所述高频定时余量计算器的第一输入端、低频定时余量计算器的输入端均接入延时定时值；第二定时器输出端与高频定时余量计算器第二输入端、第二比较器第二输入端、第三比较器的第二输入端连接；高频定时余量计算器输出端与第一比较器第一输入端连接；低频定时余量计算器的两个输出端分别与第二比较器第一输入端、第三比较器的第一输入端连接；

[0010] 第一比较器、第二比较器、第三比较器的输出端分别与定时结果判决器的三个输入端连接，定时结果判决器输出定时结束信号和错误指示信号；第二比较器的输出端还与高频时钟源的输入端连接。

[0011] 所述时钟状态指示电路包括：包括时钟分频电路、边沿修正电路、边沿检测电路和移位寄存器电路；所述时钟分频电路与边沿修正电路连接；所述边沿修正电路与边沿检测电路、移位寄存器电路连接；所述边沿检测电路与移位寄存器电路连接；

[0012] 所述时钟分频电路用于对参考时钟进行分频，输出分频时钟信号至边沿检测电路；

[0013] 所述边沿检测电路接入待测时钟、时钟分频电路输出的分频时钟信号和边沿修正电路输出的边沿修正信号，对分频时钟信号进行边沿提取，输出周期复位信号至边沿修正电路和移位寄存器电路；

[0014] 所述边沿修正电路接入参考时钟和周期复位信号进行修正得到边沿修正信号输出至边沿检测电路；

[0015] 所述移位寄存器电路接入高电平，参考时钟和周期复位信号，进行内部寄存器移位及复位操作，输出时钟状态信号。

[0016] 一种低功耗精确的休眠定时方法，包括以下步骤：

[0017] 定时开始，控制电路产生低频计算使能输出至低频定时余量计算器、低频定时使能输出至第二定时器；低频定时余量计算器对延时定时值进行计算得到两个低频定时比较值，并且第二定时器开始计数；

[0018] 当低频定时余量计算器输出的第一低频定时比较值和第二计数器的计数值相等时，生成第一低频比较匹配信号，同时启动高频时钟源；当高频时钟源工作时，时钟状态指示电路生成时钟状态信号输出至控制电路；控制电路生成高频计算使能输出至高频定时余量计算器、高频定时使能输出至第一定时器，同时关闭低频定时使能，第二定时器停止计数；

[0019] 高频定时余量计算器对延时定时值和第二定时器的当前计数值进行计算，得到高频定时比较值，并且第一定时器开始计数；当高频定时余量计算器输出的高频定时比较值和第一定时器的计数值相等时，生成高频比较匹配信号；

[0020] 定时结果判决器根据第一比较器和第二比较器的比较结果输出定时结束信号。

[0021] 所述第一低频比较匹配信号启动高频时钟源之后，当高频时钟源异常时，保持低频定时使能，第二定时器继续计数；当计数值与第二低频定时比较值相等时，生成第二低频比较匹配信号；

[0022] 定时结果判决器根据第二比较器和第三比较器的比较结果输出定时结束信号和错误指示信号。

[0023] 所述低频定时余量计算器对延时定时值进行计算通过以下公式实现：

[0024] 第一低频定时比较值 = (延时定时值 - 高频时钟源唤醒时间 - 高频定时器计数时间) / 低频时钟源时钟周期；

[0025] 其中，高频时钟源唤醒时间、高频定时器计数时间、低频时钟源时钟周期均为设定值。

[0026] 所述低频定时余量计算器对延时定时值进行计算还通过以下公式实现

[0027] 第二低频定时比较值 = 延时定时值 / 低频时钟源时钟周期；

[0028] 其中，低频时钟源时钟周期为设定值。

[0029] 所述对延时定时值和第二定时器的当前计数值进行计算通过以下公式实现：高频定时比较值 = (延时定时值 - 第二定时器当前计数值 - 相位偏移值) / 高频时钟源时钟周期；延时定时值为外部输入，第二定时器当前计数值为第二定时器的输出。

[0030] 其中，相位偏移值、高频时钟源时钟周期均为设定值。

[0031] 所述根据第一比较器和第二比较器的比较结果输出定时结束信号具体为：第一比较器和第二比较器的输出结果都为相等时，输出定时结束信号并且不产生错误指示信号。

[0032] 所述根据第一比较器和第二比较器的比较结果输出定时结束信号具体为：第一比较器和第二比较器的输出结果都为相等时，输出定时结束信号并且不产生错误指示信号。

[0033] 所述根据第二比较器和第三比较器的比较结果输出定时结束信号和错误指示信号具体为：第二比较器和第三比较器的输出结果都为相等时，输出定时结束信号并且产生错误指示信号。

[0034] 所述时钟状态指示电路生成时钟状态信号包括以下步骤：

[0035] a. 时钟分频电路对参考时钟进行分频得到分频时钟信号；

[0036] b. 边沿检测电路对分频时钟信号进行边沿提取得到周期复位信号；

[0037] c. 移位寄存器电路将高电平逐级传递，当待测时钟正常时，周期复位信号对内部的寄存器进行复位，移位寄存器电路输出保持低电平；当待测时钟异常时，周期复位信号丢失，移位寄存器电路输出保持高电平；

[0038] d. 边沿修正电路在待测时钟停止且周期复位信号异常时，将取反的参考时钟与周期复位信号进行相与生成边沿修正信号；

[0039] e. 由移位寄存器电路输出时钟状态信号，返回步骤a。

[0040] 本发明具有以下有益效果及优点：

[0041] 1. 本发明电路面向片上系统级芯片领域，涉及到超低功耗设计，可以提供一种可以满足超低功耗设计要求，精确定时的休眠定时器电路。

[0042] 2. 本发明电路采用高频定时器、低频定时器、时钟状态指示电路、控制电路、高频定时余量计算器、低频定时余量计算器等电路结构，采用硬件控制高频定时器、低频定时器的方法，解决了传统需要靠处理器进行切换的缺点，减少了处理器资源开销，提高了定时精度，降低了系统功耗。

[0043] 3. 本发明电路包括高频定时比较器、第一低频定时比较器、第二低频定时比较器、定时结果判决等电路等结构，可以有效防止高频时钟源失效时，造成无法完成休眠定时的缺陷，提高了定时的可靠性。

[0044] 4. 本发明中时钟状态指示电路面向片上系统设计，可以有效的提供待测时钟信号

的状态。

[0045] 5.本发明的时钟状态指示电路全部采用数字电路设计实现,没有模拟电路,可以在集成电路设计或现场可编程逻辑阵列设计等多个领域采用。

[0046] 6.时钟状态指示电路当采用2分频时,最小可采用六个触发器和二个门电路即可以实现时钟状态指示功能,具有结构简单、运行功耗小等优点。

附图说明

[0047] 图1是休眠定时器的时序示意图;

[0048] 图2是休眠定时器的定时切换示意图;

[0049] 图3是本发明的结构框图;

[0050] 图4是一种时钟状态指示电路结构图;

[0051] 图5是时钟状态指示电路的2分频时钟分频电路结构图;

[0052] 图6是时钟状态指示电路的边沿检测电路结构图;

[0053] 图7是时钟状态指示电路的边沿修正电路结构图;

[0054] 图8是时钟状态指示电路的移位寄存器电路结构图。

具体实施方式

[0055] 下面结合实施例对本发明做进一步的详细说明。

[0056] 一种低功耗、精确的休眠定时器电路及方法,其功能模块包括高频时钟源、低频时钟源、时钟状态指示电路、控制电路、定时器、高频定时余量计算器、低频定时余量计算器、比较器、定时结果判决等。

[0057] 本发明电路所述低频时钟源的作用是生成低频时钟。低频时钟源生成的低频时钟用于低频定时器计时使用。低频时钟源在休眠定时器工作过程中始终开启,不能被关断。本发明电路中的低频时钟一般指频率在10KHz至100KHz范围内的时钟,根据实际应用,该时钟范围可适当增大或减小。

[0058] 本发明电路包含2个结构相同的定时器,依据计数时钟不同,分别称为高频定时器和低频定时器。本发明电路包含3个结构相同的比较器,依据功能不同,分别称为高频定时比较器、第一低频定时比较器、第二低频定时比较器。

[0059] 本发明电路所述的高频时钟源的作用是产生高频时钟。高频时钟供高频定时器计时使用。高频时钟源包含使能信号,可以通过使能信号关断进入低功耗状态。本发明电路中的低频时钟一般指频率在1MHz以上的时钟,根据实际应用,该时钟范围可适当增大或减小。

[0060] 本发明电路所述低频定时器的作用是在低频时钟下进行计数。整个休眠周期中,大部分时间的计数由低频定时器完成。低频定时器由于计数频率较低,对休眠周期计数可能会有小部分余量无法精确计数完成,该部分计数余量由高频定时器计时完成。

[0061] 本发明电路所述高频定时器的作用是在高频时钟下进行计数。整个休眠周期中,大部分时间的计数由低频定时器完成。高频定时器用于对低频定时器无法完成计时的余量进行计时。

[0062] 本发明所述的时钟状态指示电路的作用是监视高频时钟源是否正常工作,产生时钟状态信号;控制电路的作用是接收外部输入的定时开始和时钟状态信号,进行逻辑状态

判断,生成控制高频定时器、低频定时器、高频定时余量计算器和低频定时余量计算器等模块的使能信号。

[0063] 本发明电路所述低频定时余量计算器的作用是计算第一低频定时比较值和第二低频定时比较值。第一低频定时比较值的作用是用于唤醒高频时钟源,第二低频定时比较值的作用是当高频时钟源未及时唤醒时,产生第二低频比较匹配。

[0064] 本发明所述的高频定时余量计算器的作用是计算高频定时比较值。高频定时比较值的作用是生成高频比较匹配信号。

[0065] 本发明所述的比较器电路的作用是对两个数值进行比较,当比较结果相等时,产生比较匹配信号输出。

[0066] 本发明所述的定时结果判决电路的作用是对高频比较匹配信号和低频定时指示信号进行判断,判决定时结束以及进行错误指示。

[0067] 本发明电路的连接关系为:

[0068] 所述高频时钟源输出高频时钟至第一定时器的时钟端和时钟状态指示电路的待测时钟端,第一定时器输出端与第一比较器第二输入端连接;低频时钟源输出低频时钟至第二定时器的时钟端和时钟状态指示电路的参考时钟端。

[0069] 所述时钟状态指示电路的输出时钟状态信号至控制电路,第一输入端接入高频时钟、第二输入端接入低频时钟。

[0070] 所述控制电路的第一输入端接入定时开始信号、第二输入端接入时钟状态信号,四个输出端分别与高频定时余量计算器、低频定时余量计算器、第一定时器、第二定时器的使能端连接。

[0071] 所述高频定时余量计算器的第一输入端、低频定时余量计算器的输入端均接入延时定时值;第二定时器输出端与高频定时余量计算器第二输入端、第二比较器第二输入端、第三比较器的第二输入端连接。

[0072] 高频定时余量计算器与第一比较器第一输入端连接;低频定时余量计算器的两个输出端分别第二比较器、第三比较器的第一输入端连接。

[0073] 第一比较器、第二比较器、第三比较器的输出端分别与定时结果判决器的三个输入端连接,定时结果判决器输出定时结束信号和错误指示信号;第二比较器的输出端还与高频时钟源的输入端连接。

[0074] 本发明电路的原理描述如下:

[0075] 本发明所述休眠定时器电路及方法的原理是将休眠时间的定时分为两个步骤完成,如图1所示,分别为低频定时器计数时间和高频定时器计数时间。低频定时器计数时间由低频时钟驱动低频定时器计数完成、高频定时器计数时间由高频时钟驱动高频定时器计数完成。

[0076] 整个系统可进一步详细说明,如图2所示。当系统进入休眠状态时,低频定时余量计算器工作,产生两个定时比较值,分别为第一低频定时比较值和第二低频定时比较值,第一低频定时比较值是扣除高频定时余量后的定时比较值,第二低频定时比较值是最终唤醒时间,第二低频定时比较值可能存在一定的误差。其中第一低频定时比较值的计算公式如下:

[0077]

$$\text{第一低频定时比较值} = \frac{\text{延时定时值} - \text{高频时钟源唤醒时间} - \text{高频定时器计数时间}}{\text{低频时钟源时钟周期}}$$

[0078] 其中高频时钟源唤醒时间、高频定时器计数时间和低频时钟源时钟周期均为设定值。高频时钟源唤醒时间由高频时钟源决定；高频定时器计数时间由休眠时间与低频时钟源时钟周期作取余数计算得出，或在取余计算后增加若干个低频时钟源时钟周期时间；低频时钟源时钟周期由低频时钟的周期决定。

[0079] 第二低频定时比较值的计算公式如下。

$$\text{第二低频定时比较值} = \frac{\text{延时定时值}}{\text{低频时钟源时钟周期}}$$

[0081] 其中低频时钟源时钟周期均为设定值。低频时钟源时钟周期由低频时钟的周期决定。

[0082] 当进入休眠状态后，首先由低频定时器进行计时，当即将达到目标时间时，即低频定时器计数值达到第一低频定时比较值时，生成第一低频比较匹配信号，该信号唤醒高频时钟源。

[0083] 时钟状态电路监视高频时钟源，当高频时钟源达到稳定工作状态后，即高频时钟源产生高频时钟后，产生时钟状态信号。

[0084] 在时钟状态信号作用下，高频定时器开始工作，高频定时余量计算器生成高频定时比较值，同时低频定时器停止工作。高频定时比较值的计算公式如下。

[0085]

$$\text{高频定时比较值} = \frac{\text{延时定时值} - \text{低频定时器当前计数值} - \text{相位偏移值}}{\text{高频时钟源时钟周期}}$$

[0086] 其中低频定时器当前计数值由低频定时器的输出端口输出得到；相位偏移值和高频时钟源时钟周期为设定值。相位偏移值为常量，其取值与使能端口的有效时间与低频定时器的相位相关，具体由时钟状态指示电路的设计方案决定；高频时钟源时钟周期由高频时钟的周期决定。

[0087] 在高频定时器计数达到高频定时比较值时，产生高频比较匹配信号；如果高频时钟唤醒时间大于第二低频定时比较值对应的定时时间，当低频定时器的计数值达到第二低频定时比较值时，产生第二低频定时指示信号，此时高频定时器及高频定时余量计算器等电路在本计数周期内不工作。

[0088] 本发明电路所述低频定时余量计算器的作用是计算第一低频定时比较值和第二低频定时比较值。第一低频定时比较值的作用是用于唤醒高频时钟源，第二低频定时比较值的作用是当高频时钟源未及时唤醒时，产生第二低频比较匹配信号。由于低频时钟源的频率较低，因此第二低频比较匹配信号可能有较大的误差；但是对于高频时钟源未唤醒所导致的高频比较匹配信号丢失而言，仍是一种不错的补救方法。

[0089] 定时结果判决电路的判断条件是：第一低频比较器必须产生第一低频比较匹配信号；高频定时比较器产生高频比较匹配信号或第二低频比较器必须产生第二低频比较匹配信号。当第一低频比较匹配信号和高频比较匹配信号相等时，输出定时结束信号并且不产

生错误指示信号;第一低频比较匹配信号和第二低频比较匹配信号相等时,输出定时结束信号并且产生错误指示信号。

[0090] 本发明的方法步骤为:

[0091] 由定时开始信号启动,控制电路产生低频计算使能输出至低频定时余量计算器、低频定时使能输出至低频定时器;低频定时余量计算器对延时定时值进行计算得到第一低频定时比较值和第二低频定时比较值,并且低频定时器开始计数;

[0092] 当低频定时余量计算器输出的第一低频定时比较值和低频定时器的计数值相等时,生成第一低频比较匹配信号,同时启动高频时钟源;当高频时钟源工作时,时钟状态指示电路生成时钟状态信号输出至控制电路;控制电路生成高频计算使能输出至高频定时余量计算器、高频定时使能输出至高频定时器,同时关闭低频定时使能,第二定时器停止计数;

[0093] 高频定时余量计算器对延时定时值和第二定时器的当前计数值进行计算,得到高频定时比较值,并且高频定时器开始计数;当高频定时余量计算器输出的高频定时比较值和高频定时器的计数值相等时,生成高频比较匹配信号;

[0094] 定时结果判决器根据高频定时比较器和第一低频比较器的比较结果输出定时结束信号。

[0095] 第一低频比较匹配信号启动高频时钟源之后,当高频时钟源异常时,保持低频定时使能,低频定时器继续计数;当计数值与第二低频定时比较值相等时,生成第二低频比较匹配信号;定时结果判决器根据第一低频比较器和第二低频比较器的比较结果输出定时结束信号和错误指示信号。

[0096] 本实施例中电路实现大部分部分使用verilog语言进行编写,可以使用综合工具进行综合实现;小部分电路由内部电路与外部电子元器件共同组成,如高频时钟源和低频时钟源;本实施例已在实际芯片中得以应用,取得了较好的效果。

[0097] 本实施例采用发明内容中说明的电路结构,具体如图3所示。电路结构包括高频时钟源、低频时钟源、时钟状态指示电路、控制电路、定时器1、定时器2、高频定时余量计算器、低频定时余量计算器、比较器1、比较器2、比较器3、定时结果判决等电路。

[0098] 本实施其外部端口包括输入端口和输出端口,输入端口包括延时定时值、定时开始;输出端口包括定时结束和错误指示。

[0099] 本实施中各个功能模块的端口为:高频时钟源包括输入端口E和输出端口C;低频时钟源包括输出端口C;时钟状态指示电路包含输入端口CK、C和输出端口ST;控制电路包含输入端口S、A和输出端口C1、C2、C3、C4;定时器1包含输入端口E、CK和输出端口C;定时器2包含输入端口E、CK和输出端口C;高频定时余量计算器包括输入端口E、A、B和输出端口C;低频定时余量计算器包括输入端口E、A和输出端口C1、C2;比较器1包含输入端口A和B,输出端口C;比较器2包含输入端口A和B,输出端口C;比较器3包含输入端口A和B,输出端口C;定时结果判决包括输入端口A1、A2和A3,输出端口C1和C2。

[0100] 本实施中电路的连接关系为:高频时钟源的输入端口E由比较器2的C端口输出,高频时钟源的C端口输出高频时钟到定时器1的CK端口和时钟状态指示电路的C端口;低频时钟源的C端输出低频时钟到低频定时器模块的CK端口和时钟状态指示电路的CK端口;时钟状态指示电路的CK端口由低频时钟源的C端口接入,时钟状态指示电路的C端口由低频时钟

源的C端口接入,时钟状态指示电路的ST端口输出至控制电路的A端口;控制电路的S端口由外部输入的定时开始信号接入,控制电路的输出端口C1连接到高频定时余量计算器的E端口,控制电路的输出端口C2连接到低频定时余量计算器的E端口,控制电路的输出端口C3连接到定时器2的E端口,输出端口C4连接到定时器1的E端口;定时器1的E端口由控制电路的C4接入,定时器1的CK端口由高频时钟源的C端口接入,定时器1的C端口输出到高频定时比较器的B端口;定时器2的E端口由控制电路的C3端口接入,定时器2的CK端口由低频时钟源的C端口接入,定时器2的C端口输出至高频定时余量计算器的B端口和比较器3的B端口;高频定时余量计算器的E端口由控制电路的C1端口接入,高频定时余量计算器的A端口由外部输入的延时定时值信号接入,高频定时余量计算器的B端口由定时器2的C端口接入,高频定时余量计算器的C端口输出至比较器1的A端口;低频定时余量计算器的E端口由控制电路的C2端口接入,低频定时余量计算器的A端口由外部输入的延时定时值信号接入,低频定时余量计算器的C1端口输出至比较器2的A端口,低频定时余量计算器的C2端口输出至比较器3的A端口;比较器1的A端口由高频定时余量计算器的C端口接入,比较器1的B端口由定时器1的C端口接入,比较器1的C端口输出至定时结果判决电路的A1端口;比较器2的A端口由低频定时余量计算器的C1端口接入,比较器2的B端口由低频定时器的C端口接入,比较器2的C端口输出至高频时钟源的E端口;比较器3的A端口由低频定时余量计算器的C2端口接入,比较器3的B端口由低频定时器的C端口接入,比较器3的C端口输出至定时结果判决的A2端口;定时结果判决的A1端口由比较器1的C端口接入,定时结果判决的A2端口由比较器2的C端口接入,定时结果判决的A3端口由比较器3的C端口接入,定时结果判决的C1端口输出定时结束信号,定时结果判决的C2端口输出错误指示信号。

[0101] 本实施例中高频时钟源电路由外部石英晶体与晶振PAD共同实现,其中晶振PAD包括使能功能。高频时钟源包含使能控制端口E,时钟输出端口C。当使能控制有效时,时钟状态振荡产生高频时钟信号;当使能控制无效时,高频时钟源停止工作,固定输出高电平或低电平信号,处于低功耗状态。高频时钟源产生高频时钟信号由时钟输出端口C输出。

[0102] 本实施例中低频时钟源电路由外部石英晶体与晶振PAD共同实现,不具有关断功能。低频时钟源包含时钟输出端口C。低频时钟源产生低频时钟信号由时钟输出端口C输出。

[0103] 本实施例中定时器1实现高频定时器功能,定时器2实现低频定时器功能。定时器1和定时器2具有相同的电路结构,采用通用的定时器电路实现。它的输入端口包含使能端口E和时钟输入端口CK,输出端口包括计数值端口C。当使能端口E有效时,在每个时钟输入端口CK的有效沿时计数值加1,并由的计数值端口C输出;当使能端口E无效时,无论时钟输入端口CK是否有跳变,计数值始终复位为0,并由计数值端口C输出。

[0104] 本实施例中控制电路包括输入端口为时钟状态端口A,定时开始端口S;输出端口为定时器1使能端口C4,定时器2使能端口C3,低频定时余量计算器使能端口C2和高频定时余量计算器使能端口C1。其行为是在一个休眠定时周期开始时,即定时开始信号有效时,低频定时余量计算器使能产生一个有效脉冲信号。在一个休眠定时周期开始时,低频定时余量计算器使能端口产生有效脉冲信号,定时器2使能端口产生有效信号,定时器1使能端口和低频定时器使能端口输出无效状态。当高频时钟源工作正常后高频定时余量计算器使能信号产生一个有效脉冲,然后同时将定时器1的使能信号设为有效状态并将低频定时器的使能信号设为无效状态。当定时开始信号无效时,所有输出使能信号均为无效状态。

[0105] 本实施例中的低频定时余量计算器的输入端口包括延时定时值端口A和使能端口E,输出端口包括第一低频定时比较值端口C1和第二低频定时比较值端口C2。低频定时余量计算器在使能端口E有效时进行计算第一低频定时比较值和第二低频定时比较值,在使能端口E失效时,保持之前的计数值。计算第一低频定时比较值和第二低频定时比较值的计算依照发明内容中的公式完成。

[0106] 本实施例中的高频定时余量计算器的作用是计算高频定时比较值。高频定时比较值的作用是生成高频比较匹配信号。高频定时余量计算器包含输入端口为使能端口E、延时定时值端口A和低频定时器计数值端口B,输出端口为高频定时比较值端口C。高频定时余量计算器在使能端口E有效时,根据延时定时值端口A和低频计数值端口B的值计算高频定时比较值,并由高频定时比较值端口C输出。高频定时比较值的计算依照发明内容中的公式完成计算。

[0107] 本实施例中的比较器1、比较器2、比较器3为结构完全相同的电路,比较器1完成高频定时比较器,比较器2完成第一低频定时比较器、比较器3完成第二低频定时比较器。比较器电路包含输入端口比较值1端口A和比较值2端口B,输出比较匹配端口C。比较器电路由组合逻辑组成,当A端口与B端口的值相等时,产生比较匹配输出。

[0108] 本实施例中的定时结果判决电路由组合逻辑组成。定时结果判决电路包括输入端口为高频比较匹配端口A1、第一低频比较匹配端口A2和第二低频比较匹配A3,输出端口为定时结束端口C1和错误指示端口C2。定时结果判决电路的工作行为是当高频比较匹配端口A1和第一低频比较匹配端口A2同时有效时,产生定时结束信号,但不生成错误指示信号;当第一低频比较匹配端口A2和第二低频比较匹配A3同时有效时,产生定时结束信号,同时生成错误指示信号。由于时钟状态指示电路的作用,在同一个计数周期不会同时产生高频比较匹配和低频定时指示,即只产生一个最终的定时结束批束。错误指示信号表明是否产生精确的定时结束指示,当错误指示信号有效时,表明定时结束指示可能包含一定的误差;当错误指示信号无效时,表明定时结束指示是精确的。

[0109] 本实施例中时钟状态指示电路采用如下技术方案:

[0110] 一种时钟状态指示电路,包括时钟分频电路、边沿修正电路、边沿检测电路和移位寄存器电路;所述时钟分频电路与边沿修正电路连接;所述边沿修正电路与边沿检测电路、移位寄存器电路连接;所述边沿检测电路与移位寄存器电路连接;

[0111] 所述时钟分频电路用于对参考时钟进行分频,输出分频时钟信号至边沿检测电路;

[0112] 所述边沿检测电路接入待测时钟、时钟分频电路输出的分频时钟信号和边沿修正电路输出的边沿修正信号,对分频时钟信号进行边沿提取,输出周期复位信号至边沿修正电路和移位寄存器电路;

[0113] 所述边沿修正电路接入参考时钟和周期复位信号进行修正得到边沿修正信号输出至边沿检测电路;

[0114] 所述移位寄存器电路接入高电平,参考时钟和周期复位信号,进行内部寄存器移位及复位操作,输出时钟状态信号。

[0115] 所述时钟分频电路包括非门和寄存器;所述非门输出端与寄存器的数据端连接,寄存器的输出端作为时钟分频电路的输出,并与非门的输入端连接;寄存器的时钟端接入

参考时钟。

[0116] 所述边沿检测电路包括依次连接的三个寄存器和一个异或门;所述三个寄存器的时钟端均接入待测时钟,复位端均与边沿修正电路的输出端连接,顺次连接的第一寄存器数据端作为边沿检测电路的输入并与时钟分频电路的输出端连接,第三寄存器输出端与异或门的第一输入端连接,第二寄存器输出端与异或门的第二输入端连接,异或门的输出端作为边沿检测电路的输出。

[0117] 所述边沿修正电路包括非门和与门,非门的输入端接入参考时钟,输出端与与门的第一输入端连接,与门的第二输入端与边沿检测电路的输出端连接,输出端为边沿检测电路的输出。

[0118] 所述移位寄存器电路包括多个顺序连接的寄存器,每个寄存器的时钟端均接入参考时钟,复位端均与边沿检测电路的输出端连接,首个寄存器的数据端连接高电平,最后一个寄存器的输出端作为移位寄存器电路的输出。

[0119] 一种时钟状态指示方法,包括以下步骤:

[0120] a.时钟分频电路对参考时钟进行分频得到分频时钟信号;

[0121] b.边沿检测电路对分频时钟信号进行边沿提取得到周期复位信号;

[0122] c.移位寄存器电路将高电平逐级传递,当待测时钟正常时,周期复位信号对内部的寄存器进行复位,移位寄存器电路输出保持低电平;当待测时钟异常时,周期复位信号丢失,移位寄存器电路输出保持高电平;

[0123] d.边沿修正电路在待测时钟停止且周期复位信号异常时,将取反的参考时钟与周期复位信号进行相与生成边沿修正信号;

[0124] e.由移位寄存器电路输出时钟状态信号,返回步骤a。

[0125] 所述边沿提取具体为当产生边沿时,顺次连接的第二寄存器和第三寄存器的输出不等,通过异或门产生高电平。

[0126] 所述进行分频为进行N-等占空比分频。

[0127] 所述移位寄存器电路中寄存器的级数为N+1级以上。

[0128] 时钟状态指示电路具体通过以下方案实现:

[0129] 一种时钟状态指示电路,外部输入端口包括参考时钟信号、待测时钟信号、输出端口包括时钟状态信号。

[0130] 时钟状态指示电路的端口功能描述如下:参考时钟信号是连续生成,为产生时钟状态信号提供参考的时钟,一般为低频率时钟,在实际应用中,可采用32KHz,10KHz等低频时钟;待测时钟信号为被测时钟信号,一般指高频率时钟,在本发明专业中,应为参考时钟频率的3倍以上;时钟状态信号指示待测时钟信号是否正常工作,如果正常工作,输出低电平信号,否则生成高电平信号。

[0131] 时钟状态指示电路的功能模块包括时钟分频电路、边沿修正电路、边沿检测电路、移位寄存器电路。

[0132] 时钟状态指示电路的模块及端口连接关系如下:所述的时钟分频电路的输入时钟端口由参考时钟信号输入,输出端口为分频时钟信号;边沿检测电路的输入时钟端口由待测时钟信号输入,输入复位端口由边沿检测电路的边沿修正信号输入,输出端口为周期复位信号;边沿修正电路的输入时钟端口由参考时钟信号输入,输入复位端口由边沿检测电

路的周期复位信号输入,输出端口为边沿修正信号;移位寄存器电路的输入时钟端口由参考时钟信号输入,输入复位端口由边沿检测电路的周期复位信号输入,输出端口为时钟状态信号。

[0133] 时钟状态指示电路中时钟分频电路的功能是对参考时钟信号进行N-等占空比分频得到分频时钟信号,该信号的有效高电平和低电平长度为 $NT/2$ 。其中N的取值范围为1至无穷大,当N取值为1时,即不进行分频。如果参考时钟信号的占空比满足或接近1,N可取值为1。

[0134] 时钟状态指示电路中边沿检测电路在待测时钟作用下,对时钟分频电路生成的分频时钟信号进行边沿提取,具体的说是提取上升沿和下降沿,产生周期为 NT 的周期复位信号。

[0135] 时钟状态指示电路中边沿修正电路的作用是对边沿检测电路产生的周期复位信号和参考时钟信号,通过组合逻辑电路,产生边沿修正信号。

[0136] 时钟状态指示电路中移位寄存器电路包含 $N+1$ 级寄存器组,在周期复位信号和参考时钟作用下,进行复位和移位等操作,生成时钟状态信号。

[0137] 时钟状态指示电路的原理描述如下。

[0138] 记参考时钟信号频率为 F ,周期为 T 。由频率和时钟的关系,可得 F 与 T 的乘积等于1,即 F 等于 $1/T$ 。

[0139] 对参考时钟信号进行N-等占空比分频可以得到有效高电平和低电平长度为 $NT/2$,周期为 NT 的分频时钟;在当待测时钟有效时,可同分频时钟生成周期为 NT 周期复位信号;在高电平输入、参考时钟驱动的 $N+1$ 级移位寄存器组中,由于周期为 NT 的周期复位信号的作用,移位寄存器电路以 NT 为周期进行复位,使得高电平只能够传递到移位寄存器的第N级寄存器,不会传递到移位寄存器电路的第 $N+1$ 级,即时钟状态信号始终保持低电平;当待测时钟信号无效时,边沿检测电路无法生成周期复位信号,移位寄存器电路中的第 $N+1$ 级寄存器最终产生高电平指示。

[0140] 由于待测时钟的不确定性,在某种条件下,可能产生异常的周期复位信号,此时会对移位寄存器电路产生错误的影响,产生错误的时钟状态结果。对于该结果的修正可通过周期复位信号与反向的参考时钟通过与门逻辑,产生边沿修正信号。边沿修正信号可以修正异常的周期复位信号,并最终产生正确的时钟状态信号。

[0141] 当采用N-等占空比分频时,移位寄存器的级数为 $N+1$ 或以上,可保证本电路正常工作。

[0142] 时钟状态指示电路的方法步骤为:

[0143] 时钟分频电路对参考时钟信号进行N-等占空比分频得到周期为 NT 分频时钟信号;

[0144] 边沿检测电路对时钟分频电路生成的分频时钟信号进行边沿提取,产生周期为 NT 的周期复位信号;

[0145] 移位寄存器电路将高电平逐级传递,当待测时钟正常时,周期复位信号对内部的寄存器进行复位,移位寄存器电路输出保持低电平;当待测时钟异常时,周期复位信号丢失,移位寄存器电路输出保持高电平。

[0146] 边沿修正电路在检测到异常的周期复位信号时,生成边沿修正信号;边沿检测电路在边沿修正信号作用下,进行逻辑电路处理,修正异常的周期复位信号。

[0147] 移位寄存器电路根据周期复位信号和参考时钟信号,产生时钟状态信号

[0148] 实施例:

[0149] 本实施例是实现本专利所述时钟状态指示电路的一种方式,采用了相对比较简单电路结构,其中时钟分频电路中的N取值为2,即采用2-等占空分频,移位寄存器采用3位寄存器移位寄存器电路。

[0150] 具体实施例请参阅图4所示,一种时钟状态指示电路,结构上包括时钟分频电路、边沿检测电路、边沿修正电路和移位寄存器电路;外部端口包括输出端口参考时钟和待测时钟,输出端口时钟状态。

[0151] 具体连接关系为,参考时钟信号连接到时钟分频电路的时钟端口CK,时钟分频电路的时钟输出端口Q产生分频时钟信号C1;待测时钟信号连接到边沿检测电路的时钟端口CK,时钟分频电路产生分频时钟信号C1连接到边沿检测电路的数据端口D,边沿修正电路产生边沿修正信号F1连接到边沿检测电路的复位端,边沿检测电路的输出端口Q生成置位信号R1;

[0152] 边沿修正电路的输入时钟端口CK由参考时钟信号输入,输入复位端口R由边沿检测电路的周期复位信号R1输入,输出端口为边沿修正信号F1,输出至边沿检测电路的复位端口R;

[0153] 边沿检测电路生成的周期复位信号R1连接到移位寄存器电路的复位端口R,参考时钟信号连接到移位寄存器电路的时钟端口CK,移位寄存器电路的数据端口D连接高电平信号,移位寄存器电路输出Q产生时钟状态信号。

[0154] 本实施例采用2分频时钟分频电路,如图5所示。该分频电路包括寄存器1和非门1。其连接关系为寄存器1的时钟输入端口CK由时钟分频电路的输入端口CK输入,寄存器1的数据输入端口D由非门1的输出端口Q输入,寄存器1的输出端口Q输出到非门1的输入端口A,寄存器1的输出端口Q输出到时钟分频电路的输出端口Q;非门1的输入端口A由寄存器1的输出端口Q输入,非门1的输出端口Q输出到寄存器1的输入端口D。

[0155] 本实施例中边沿检测电路结构如图6所示。该边沿检测电路包含寄存器2、寄存器3、寄存器4和异或门1组成。其连接关系为寄存器2的输入端口D由边沿检测电路外部输入CK输入,寄存器2的输入端口CK由边沿检测电路外部输入CK输入,寄存器2的输出端口Q输出到寄存器3的输入端口D;寄存器3的输入端口CK由边沿检测电路外部输入CK输入,寄存器2的输入端口D由寄存器2的输出端口Q输入,寄存器3的输出端口Q输出到寄存器4的输入端口D和异或门1的输入端口B;寄存器4的输入端口CK由边沿检测电路外部输入CK输入,寄存器4的输入端口D由寄存器3的输出端口Q输入,寄存器4的输出端口Q输出到异或门1的输入端口A;异或门1的输入端口A由寄存器4的输出端口Q输入,异或门1的输出端口B由寄存器3的输出端口Q输入,异或门1的输出端口Q输出到边沿检测电路的外部输出端口Q。

[0156] 本实施例中边沿修正电路结构如图7所示。该边沿修正电路包含非门1和与门1组成。其连接关系为非门1的输入端口A由边沿修正电路的外部端口CK输入,非门1的输出端口Q连接到与门1的输入端口A;与门1的输入端口A由非门1的输出端口Q接入,与门1的输入端口B由边沿修正电路的外部端口R接入,与门1的输出端口Q输出到边沿修正电路的外部端口Q。

[0157] 本实施例中移位寄存器电路结构如图8所示。该移位寄存器电路包含寄存器5、寄

寄存器6和寄存器7组成。其连接关系为寄存器5的输入端口D由高电平信号输入,寄存器5的输入端口CK由移位寄存器电路外部输入端口CK输入,寄存器2的输出端口Q输出到寄存器6的输入端口D;寄存器6的输入端口CK由移位寄存器电路外部输入端口CK输入,寄存器6的输入端口D由寄存器5的输出端口Q输入,寄存器6的输出端口Q输出到寄存器7的输入端口D;寄存器7的输入端口CK由移位寄存器电路外部输入端口CK输入,寄存器7的输入端口D由寄存器6的输出端口Q输入,寄存器7的输出端口Q输出到移位寄存器电路外部输出端口Q。

[0158] 本实施例仅列举本电路的一种实施方式,其它实现方式可采用N分频(N为偶数)时钟分频电路,对应采用N+1或以上级移位寄存器电路即可。如果边沿提取电路生成的置位信号R1有效宽度偏小,可在边沿提取电路中的寄存器3和寄存器4之间插入更多的触发器实现。

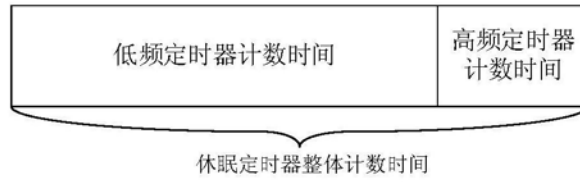


图1

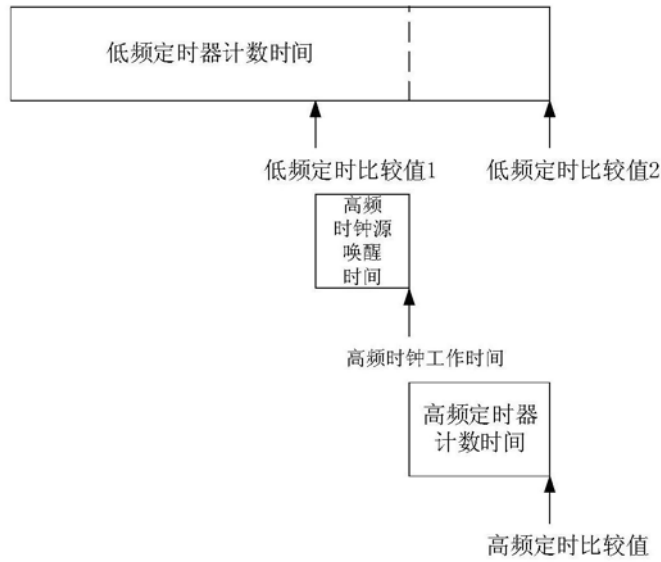


图2

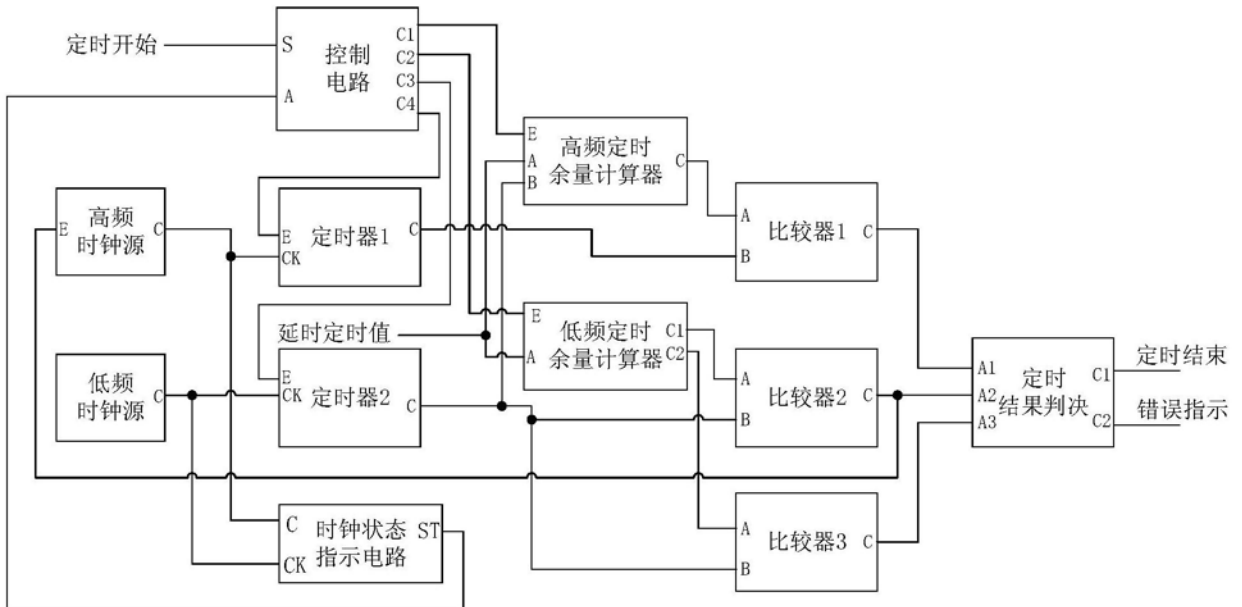


图3

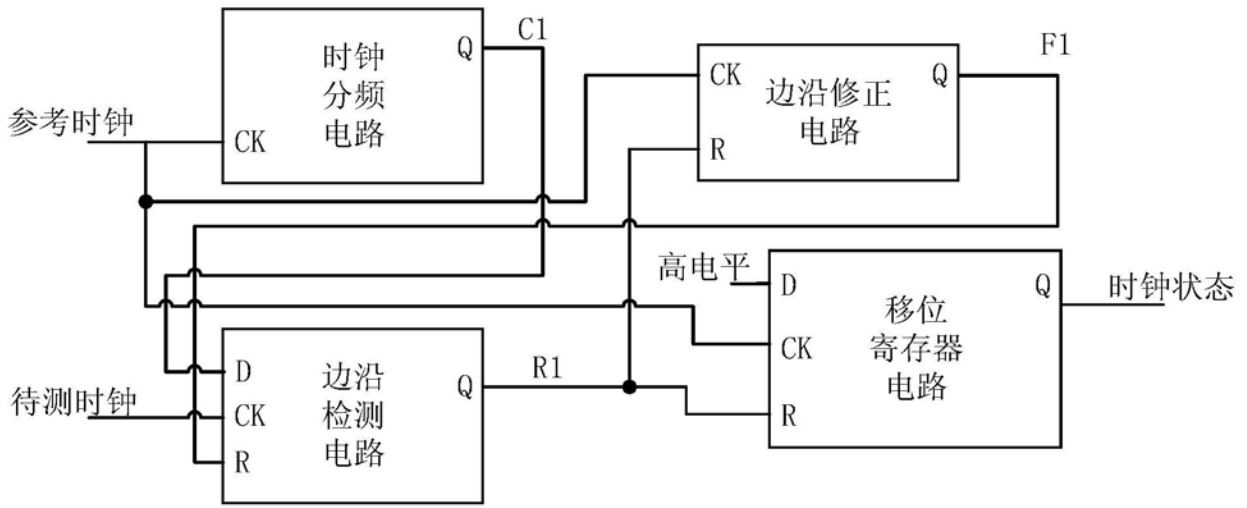


图4

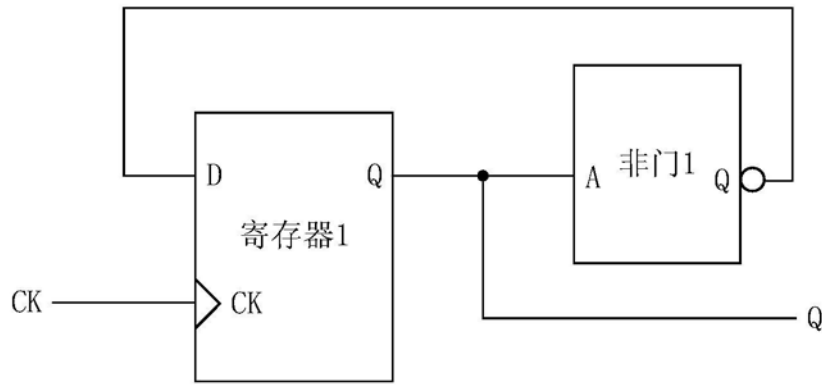


图5

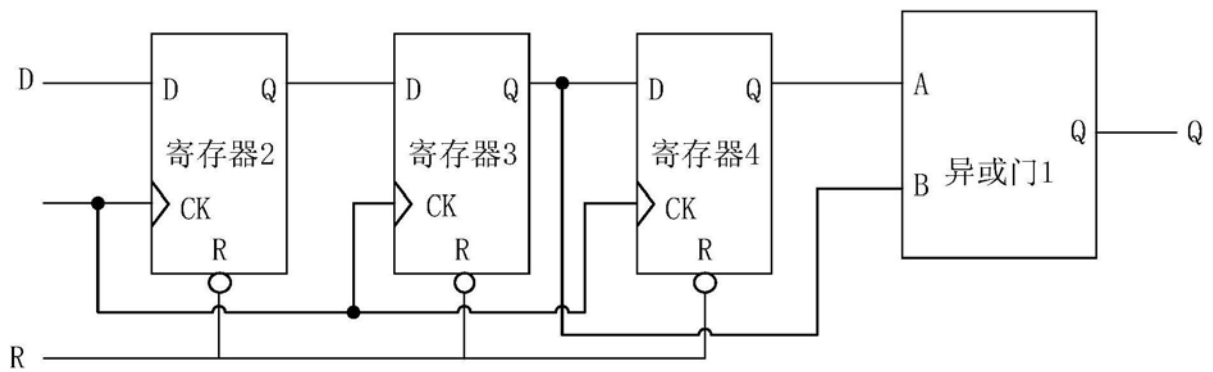


图6

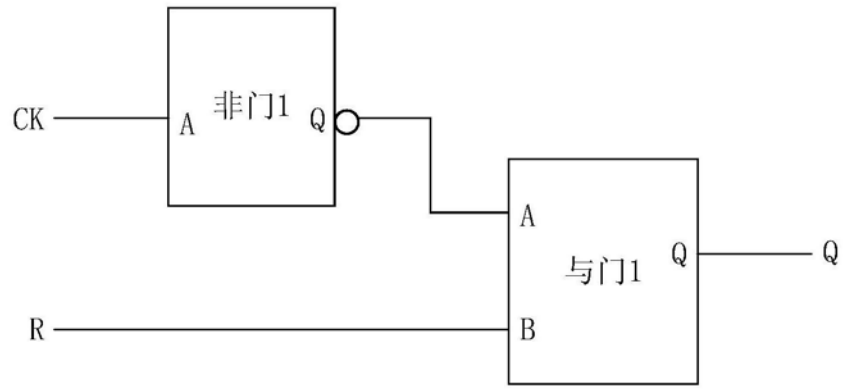


图7

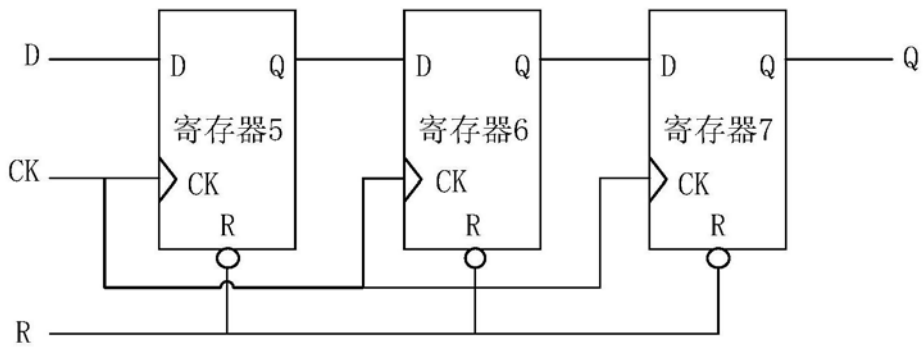


图8